

**8 位 MCU
HR6P59HL**

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海海尔集成电路有限公司

2012 年 09 月 10 日

海尔 MCU 芯片使用注意事项

关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议设置为输入状态，并通过电阻接至电源或地，或设置为输出状态，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

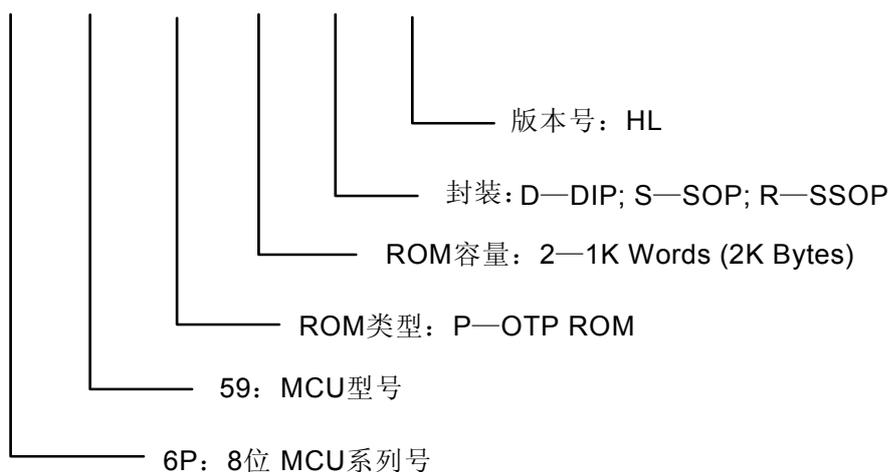
海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海海尔集成电路有限公司联系。

产品订购信息

型号	程序存储器	数据存储器	封装
HR6P59P2DHL	OTP: 1K Words	SRAM: 64 Bytes	DIP14
HR6P59P2SHL			SOP14
HR6P59P2RHL			SSOP10

HR 6P No. X X X X



地 址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途，上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改本数据手册的权利。如需得到最新的产品信息，请随时用上述联系方式与上海海尔集成电路有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2009-05-18	初版
V2.0	2010-09-28	模板及命名修订
V2.1	2011-04-20	加强描述: 2.4.1, 2.5, 3.2.1, 3.2.2, 3.2.3, 5.1.2.4, 5.1.3.2, 5.3.1, 6.1.3, 附录 1.1 错误修正: 2.1, 2.2, 3.2.4, 4.8, 5.1.1.1, 5.1.1.2, 5.1.2.1, 5.1.2.2, 6.3.2, 6.5.1, 6.5.2, 附录 1.2
V2.2	2011-07-13	加强描述: 6.1.2, 6.1.3 错误修正: 1.1, 1.4, 2.1, 4.3, 5.1.3.2, 6.5.2, 6.6
V2.3	2011-09-27	加强描述: 产品订购信息, 1.1, 6.1.3
V2.4	2011-12-14	加强描述: 6.1.5, 6.4.1, 第 7 章, 附录 2.1, 附录 2.2 错误修正: 产品订购信息
V2.5	2012-09-10	错误修正: 1.5.2 PA1 端口备注

目 录

内容目录

第 1 章	芯片简介	9
1.1	概述	9
1.2	应用领域	10
1.3	结构框图	10
1.4	管脚分配图	11
1.4.1	14-pin	11
1.4.2	10-pin	11
1.5	管脚说明	12
1.5.1	管脚封装对照表	12
1.5.2	管脚复用说明	13
第 2 章	内核特性	14
2.1	CPU内核概述	14
2.2	系统时钟和机器周期	14
2.3	指令集概述	14
2.4	程序计数器 (PC) 和硬件堆栈	15
2.4.1	程序计数器 (PC)	15
2.4.2	硬件堆栈	16
2.5	特殊功能寄存器	16
第 3 章	存储资源	18
3.1	程序存储器	18
3.1.1	概述	18
3.1.2	寻址方式	18
3.1.3	程序存储空间地址映射和堆栈示意图	18
3.2	数据存储器	19
3.2.1	数据存储空间地址映射	19
3.2.2	特殊功能寄存器空间	20
3.2.3	通用数据存储器	22
3.2.4	寻址方式	22
第 4 章	输入/输出端口	24
4.1	概述	24
4.2	结构框图	25
4.3	I/O MUX	27
4.4	I/O端口弱上拉	28
4.5	外部按键唤醒 (KINWK)	28
4.6	I/O端口开漏输出	28
4.7	外部端口中断 (PINT)	28
4.8	特殊功能寄存器	29
第 5 章	外设	32
5.1	定时器/计数器模块 (Timer/Counter)	32
5.1.1	8 位定时器/计数器 (T8)	32
5.1.1.1	概述	32

5.1.1.2	工作模式	33
5.1.1.3	预分频器	33
5.1.1.4	中断标志	33
5.1.2	8位PWM时基定时器 (T8P)	34
5.1.2.1	概述	34
5.1.2.2	工作模式	34
5.1.2.3	预分频器和后分频器	34
5.1.2.4	中断标志	34
5.1.3	定时器/计数器扩展模块 (TE)	36
5.1.3.1	概述	36
5.1.3.2	T8P脉宽调制功能扩展	36
5.1.4	特殊功能寄存器	38
第 6 章	特殊功能及操作特性	40
6.1	系统时钟与振荡器	40
6.1.1	概述	40
6.1.2	外部时钟	40
6.1.3	内部时钟	42
6.1.4	特殊功能寄存器	42
6.2	复位模块	43
6.2.1	概述	43
6.2.2	应用举例	43
6.2.3	特殊功能寄存器	44
6.3	中断处理	45
6.3.1	概述	45
6.3.2	操作说明	45
6.3.3	特殊功能寄存器	46
6.4	看门狗定时器	47
6.4.1	概述	47
6.5	低功耗操作	48
6.5.1	休眠	48
6.5.2	唤醒	48
6.6	芯片配置字	49
第 7 章	芯片封装图	50
7.1	14-pin 封装图	50
7.2	10-pin 封装图	52
附录 1	指令集	53
附录 1.1	概述	53
附录 1.2	指令操作说明	54
附录 2	电气特性	56
附录 2.1	参数特性表	56
附录 2.2	参数特性图	59

图目录

图 1-1	HR6P59HL结构框图	10
图 1-2	HR6P59P2D/SHL (DIP14/SOP14) 顶视图	11
图 1-3	HR6P59P2RHL (SSOP10) 顶视图	11
图 3-1	程序区地址映射和堆栈示意图	18
图 3-2	数据区地址映射示意图	19
图 3-3	通用数据存储器地址映射示意图	22
图 4-1	输入/输出端口结构图A	25
图 4-2	输入/输出端口结构图B	25
图 4-3	输入端口结构图C	26
图 5-1	T8 内部结构图	32
图 5-2	T8P内部结构图	34
图 5-3	TE在PWM功能扩展的内部结构图	36
图 5-4	PWM输出示意图	36
图 6-1	芯片系统时钟选择框图	40
图 6-2	晶体/陶瓷振荡器模式 (HS、XT、LP模式)	40
图 6-3	振荡器RC模式等效电路图及外围参考图	41
图 6-4	振荡器RCIO模式等效电路图及外围参考图	41
图 6-5	芯片复位原理图	43
图 6-6	RC复位电路	43
图 6-7	三极管复位电路	44
图 6-8	看门狗定时器示意图	47
图 6-9	休眠模式唤醒示意图	48

表目录

表 1-1	管脚封装对照表	12
表 1-2	管脚说明	13
表 4-1	I/O端口结构信息表	25
表 4-2	I/O端口弱上拉	28
表 4-3	外部端口中断	28
表 6-1	晶体振荡器电容参数参考表	41
表 6-2	外部RC模式推荐参数	41
表 6-3	中断逻辑表	45
表 6-4	休眠唤醒表	48

第 1 章 芯片简介

1.1 概述

- ◆ 内核
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 42 条精简指令
 - ◇ 工作频率最高为 16MHz
 - ◇ 4 级 PC 硬件堆栈
 - ◇ 复位向量位于 000_H，中断向量位于 008_H
 - ◇ 支持中断处理，共 3 个中断源
- ◆ 存储资源
 - ◇ 1K Words OTP 程序存储器
 - ◇ 64 Bytes SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址
 - ◇ 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
 - ◇ PA 端口 (PA0~PA3)
 - ◇ PB 端口 (PB0~PB3)
 - ◇ PB 端口 (PB4~PB7) (HR6P59P2D/SHL)
- ◆ 外设
 - ◇ 8 位定时器 T8
 - 定时器模式 (系统时钟) / 计数器模式 (外部计数时钟输入)
 - 支持可配置预分频器
 - 支持中断产生
 - ◇ 8 位 PWM 时基定时器 T8P
 - 定时器模式 (系统时钟)
 - 支持可配置预分频器及可配置后分频器
 - 支持中断产生
 - 支持脉宽调制 (PWM) 输出扩展功能
- ◆ 特殊功能
 - ◇ 内部 4MHz 时钟
 - 不可分频
 - 用户使用编程器选择 3.3V 或 5V 校准，在 25℃ 校准条件下，校准精度为 ±2%
 - ◇ 支持低功耗休眠模式及唤醒操作
 - ◇ 内嵌上电复位电路
 - ◇ 内嵌低电压检测复位电路

- ◇ 支持外部复位
- ◇ 支持独立硬件看门狗定时器
- ◇ 支持编程器编程
- ◇ 支持编程代码加密保护
- ◆ 设计及工艺
 - ◇ 低功耗、高速 OTP CMOS 工艺
 - ◇ 14 个管脚，采用 SOP/DIP 封装（HR6P59P2D/SHL）
 - ◇ 10 个管脚，采用 SSOP 封装（HR6P59P2RHL）
- ◆ 工作条件
 - ◇ 工作电压范围：2.5V ~ 5.5V
 - ◇ 工作温度范围：-40℃ ~ 85℃

1.2 应用领域

本芯片可用于 LED 灯控和小家电等领域。

1.3 结构框图

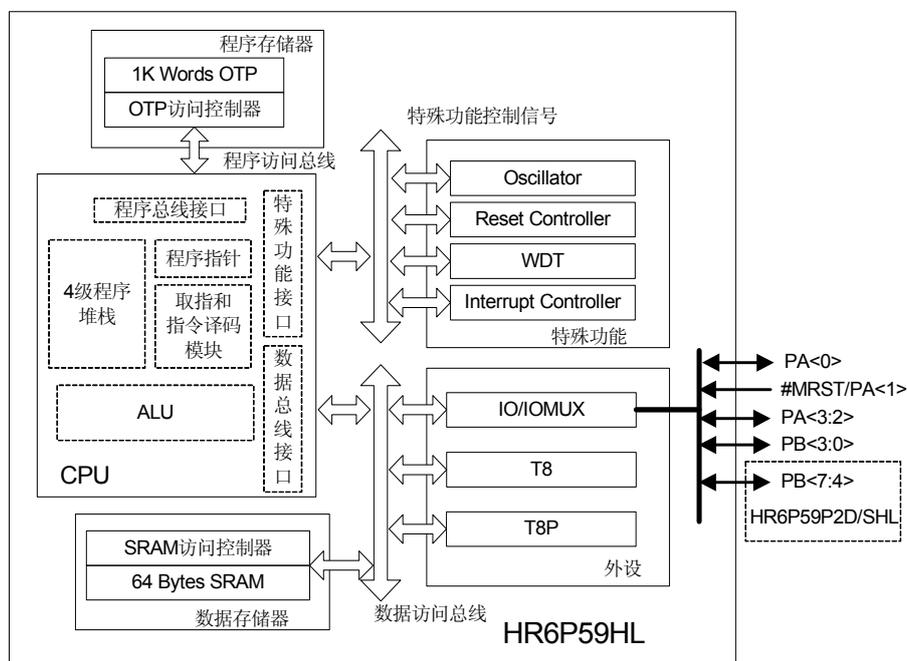


图 1-1 HR6P59HL 结构框图

注：#MRST 表示低电平有效。

1.4 管脚分配图

1.4.1 14-pin

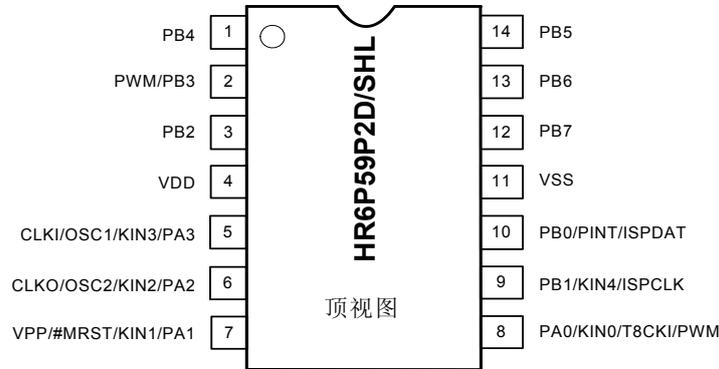


图 1-2 HR6P59P2D/SHL (DIP14/SOP14) 顶视图

1.4.2 10-pin

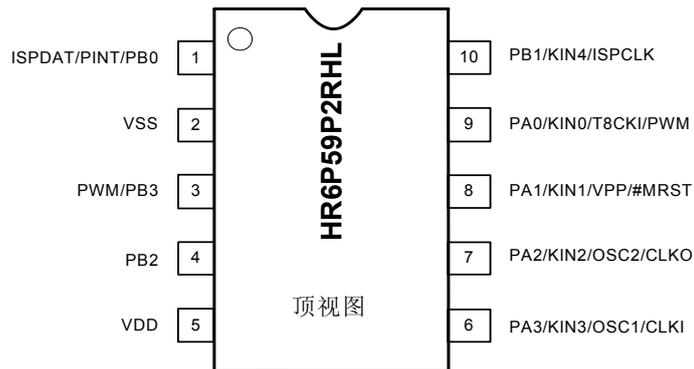


图 1-3 HR6P59P2RHL (SSOP10) 顶视图

注 1: #MRST 表示低电平有效;

注 2: PWM 输出端口可配置。

1.5 管脚说明

1.5.1 管脚封装对照表

管脚名	HR6P59HL	
	DIP14/SOP14	SSOP10
PA0/KIN0/T8CKI/PWM	8	9
PA1/KIN1/#MRST/VPP	7	8
PA2/KIN2/OSC2/CLKO	6	7
PA3/KIN3/OSC1/CLKI	5	6
PB0/PINT/ISPDAT	10	1
PB1/KIN4/ISPCLK	9	10
PB2	3	4
PB3/PWM	2	3
PB4	1	-
PB5	14	-
PB6	13	-
PB7	12	-
VDD	4	5
VSS	11	2

表 1-1 管脚封装对照表

1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/KIN0/T8CKI/PWM	PA0	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出 PWM 端口可配置
	KIN0	D	外部按键唤醒输入 0	
	T8CKI	D	T8 时钟输入	
	PWM	D	脉宽调制输出	
PA1/KIN1/#MRST/VPP	PA1	D	通用 I	-
	KIN1	D	外部按键唤醒输入 1	
	#MRST	D	主复位输入	
	VPP	A	OTP 编程高压输入	
PA2/KIN2/OSC2/CLKO	PA2	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN2	D	外部按键唤醒输入 2	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	Fosc/4 参考时钟输出	
PA3/KIN3/OSC1/CLKI	PA3	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN3	D	外部按键唤醒输入 3	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	时钟输入	
PB0/PINT/ISPDAT	PB0	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	PINT	D	外部端口中断输入	
	ISPDAT	D	串行编程数据输入输出	
PB1/KIN4/ISPCLK	PB1	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
	KIN4	D	外部按键唤醒输入 4	
	ISPCLK	D	串行编程时钟输入	
PB2	PB2	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出
PB3/PWM	PB3	D	通用 I/O	可单独使能弱上拉 可单独使能开漏输出 PWM 端口可配置
	PWM	D	脉宽调制输出	
PB4	PB4	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB5	PB5	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB6	PB6	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
PB7	PB7	D	通用 I/O	可单独使能弱上拉 仅 HR6P59P2D/SHL 支持
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; #MRST 表示低电平有效;

注 3: 除 PA1 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动。PA1 为 TTL 输入。

第 2 章 内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - ◇ 高性能哈佛型 RISC CPU 内核
 - ◇ 42 条精简指令，指令长度 14 位
 - ◇ 工作频率最高为 16MHz
 - ◇ 直接、间接和相对寻址三种寻址方式
 - ◇ 复位向量位于 000_H，中断向量位于 008_H
 - ◇ 支持中断处理，共 3 个中断源

2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器，产生四个不重叠的正交时钟 phase1 (p1)，phase2 (p2)，phase3 (p3) 和 phase4 (p4)。四个不重叠的正交时钟组成一个机器周期。

2.3 指令集概述

本芯片采用 HR6P 系列 42 条精简指令集系统。所有指令都是单字指令。

除了部分条件跳转与控制程序流程的指令需要两个机器周期来完成，其它指令的执行都是在一个机器周期中完成。4 个系统时钟周期为一个机器周期，若芯片系统时钟频率为 4MHz，一个机器周期的时间为 1 μ s。

具体指令集请参考《附录 指令集》。

2.4 程序计数器（PC）和硬件堆栈

2.4.1 程序计数器（PC）

本芯片支持 10 位程序计数器（PC），可寻址范围 $000_H \sim 3FF_H$ ，超出地址范围会导致循环。复位后，PC 指向 000_H 。产生中断后，PC 中断向量入口地址 008_H 。

10 位的程序计数器 $PC<9:0>$ ，其中 $PC<7:0>$ 可通过 PCRL 直接读写，而 $PC<9:8>$ 不能直接读写，只能通过 $PCRH<1:0>$ 来间接赋值。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 寄存器的值。

下面是执行各种指令时，PC 值的变化情况：

- ◇ 通过指令直接修改 PC 值时，对 PCRL 的赋值操作可直接修改 $PC<7:0>$ ，即 $PC<7:0> = PCRL<7:0>$ ；而 $PC<9:8> = PCRH<1:0>$ 。因此，修改 PC 值时，应先修改 $PCRH<1:0>$ ，再修改 $PCRL<7:0>$ ；
- ◇ 执行以 PCRL 为目标寄存器的指令时，写入 PCRL 的值为 8 位的运算结果，PC 值的高字节从 $PCRH<1:0>$ 寄存器装入；
- ◇ 执行 CALL 指令时，PC 值低 8 位由指令中的 8 位立即数（操作数）提供；而 $PC<9:8> = PCRH<1:0>$ ；
- ◇ 执行 GOTO 指令时，PC 值低 9 位由指令中的 9 位立即数（操作数）提供；而 $PC<9> = PCRH<1>$ ；
- ◇ 执行 JUMP, LCALL 指令时，PC 值 10 位由指令中的 10 位立即数（操作数）提供；
- ◇ 执行其它指令时，PC 值自动加 1。

应用例程：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
LCALL   TABLE     ; 调用子程序方式查表
.....

TABLE
ADD     PCRL        ; PC 加上偏移量，指向访问的地址
RETIA   0X01
RETIA   0X02
RETIA   0X03
.....

```

2.4.2 硬件堆栈

芯片内有 4 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

硬件堆栈只支持 4 级缓冲操作，即硬件堆栈只保存最近的 4 次压栈值，对于连续超过 4 次的压栈操作，第 5 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 4 次的连续出栈，第 5 次出栈操作，可能使得程序流程不可控。

2.5 特殊功能寄存器

寄存器名称	选择寄存器 (BSET)		
地址	-		
复位值	1111 1111		
PS<2:0>	bit2-0	R/W	T8/WDT 分频比选择位 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
PSA	bit3	R/W	预分频器选择位 0: 预分频器用于 T8 1: 预分频器用于 WDT
T8SE	bit4	R/W	T8 时钟沿选择位 0: T8CKI 外部时钟上升沿计数 1: T8CKI 外部时钟下降沿计数
T8CS	bit5	R/W	T8 时钟源选择位 0: 内部系统时钟 4 分频 Fosc/4 1: T8CKI 外部时钟输入
INTEDG	bit6	R/W	PINT 中断信号触发边沿选择位 0: PINT 端口的下降沿触发 1: PINT 端口的上升沿触发
-	bit7	-	-

注：BSET 寄存器需要执行 OPTION 指令写入，该寄存器不能读取。

寄存器名称		程序状态字寄存器 (PSW)	
地址	03 _H 23 _H 43 _H 63 _H		
复位值	0001 1xxx		
C	bit0	R/W	全进位/全借位 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	半进位/半借位 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	零标志位 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
#PD	bit3	R/W	低功耗标志位 0: 执行 IDLE 指令后被清零 1: 上电复位或执行 CWDT 指令后被置 1
#TO	bit4	R/W	WDT 溢出标志位 0: WDT 溢出时被清零 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
-	bit5	-	-
RP1-RP0	bit7-6	R/W	寄存器空间选择位 (直接寻址) 00: 选择存储体组 0 (00 _H ~ 1F _H) 01: 选择存储体组 1 (20 _H ~ 3F _H) 10: 选择存储体组 2 (40 _H ~ 5F _H) 11: 选择存储体组 3 (60 _H ~ 7F _H)

第 3 章 存储资源

3.1 程序存储器

3.1.1 概述

本芯片的程序存储器为 1K Words OTP。程序计数器 PC 为 10 位字宽，可寻址范围 $000_H \sim 3FF_H$ ，寻址超出 $3FF_H$ 就会导致循环。复位向量位于 000_H ，中断向量入口地址位于 008_H 。

3.1.2 寻址方式

程序存储器支持直接寻址。程序指针 PC 通过直接寻址，从程序存储器中获取执行指令。

3.1.3 程序存储空间地址映射和堆栈示意图

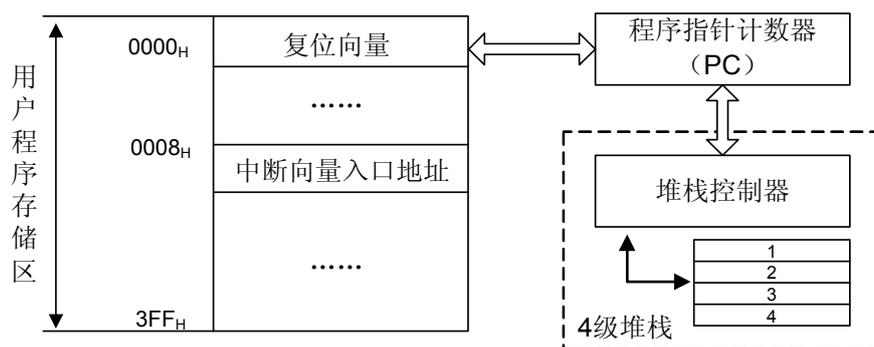


图 3-1 程序区地址映射和堆栈示意图

3.2 数据存储器

3.2.1 数据存储空间地址映射

数据存储器由特殊功能寄存器和通用数据寄存器构成，可分为 4 个存储体组（存储体组 0 ~ 3）。存储体组 0 由特殊功能寄存器空间 0 和通用数据寄存器空间 0 构成，存储体组 1 由特殊功能寄存器空间 1 和通用数据寄存器空间 1 构成，存储体组 2 由特殊功能寄存器空间 2 和通用数据寄存器空间 2 构成，存储体组 3 由特殊功能寄存器空间 3 和通用数据寄存器空间 3 构成。不同存储体组由 PSW<7:6>进行选择。



图 3-2 数据区地址映射示意图

3.2.2 特殊功能寄存器空间

特殊功能寄存器主要由特殊功能寄存器空间 0~3 构成，具体特殊功能寄存器地址映射，请参考下面表格：

特殊功能寄存器空间 0：

地址	寄存器名称	功能说明	备注
00 _H	IAD	间接寻址数据寄存器	-
01 _H	T8	T8 寄存器	-
02 _H	PCRL	低 8 位程序计数器	-
03 _H	PSW	程序状态字寄存器	-
04 _H	IAA	间接寻址地址寄存器	-
05 _H	PA	PA 端口电平状态寄存器	-
06 _H	PB	PB 端口电平状态寄存器	-
07 _H	INTC0	中断控制寄存器 0	-
08 _H	PCRH	高 8 位程序计数器	-
09 _H	PAWPUC	PA 弱上拉控制寄存器	-
0A _H	PBWPUC	PB 弱上拉控制寄存器	-
0B _H	CALR	内部时钟校准寄存器	-
0C _H	KMSK	按键屏蔽控制寄存器	-
0D _H	ODC	开漏输出控制寄存器	-
0E _H	-	-	-
0F _H	-	-	-

特殊功能寄存器空间 1：

地址	寄存器名称	功能说明	备注
20 _H	IAD	间接寻址数据寄存器	-
21 _H	T8	T8 寄存器	-
22 _H	PCRL	低 8 位程序计数器	-
23 _H	PSW	程序状态字寄存器	-
24 _H	IAA	间接寻址地址寄存器	-
25 _H	PA	PA 端口电平状态寄存器	-
26 _H	PB	PB 端口电平状态寄存器	-
27 _H	INTC0	中断控制寄存器 0	-
28 _H	PCRH	高 8 位程序计数器	-
29 _H	T8P	T8P 寄存器	-
2A _H	T8PC	T8P 控制寄存器	-
2B _H	T8PP	T8P 周期寄存器	-
2C _H	TEL	低 8 位 TE 缓冲寄存器	-
2D _H	TEH	高 8 位 TE 缓冲寄存器	-
2E _H	TEC	TE 控制寄存器	-
2F _H	PCON	电源状态控制寄存器	-

特殊功能寄存器空间 2:

地址	寄存器名称	功能说明	备注
40 _H	IAD	间接寻址数据寄存器	-
41 _H	-	-	-
42 _H	-	-	-
43 _H	PSW	程序状态字寄存器	-
44 _H	IAA	间接寻址地址寄存器	-
45 _H	PA	PA 端口电平状态寄存器	-
46 _H	PB	PB 端口电平状态寄存器	-
47 _H	INTC0	中断控制寄存器 0	-
48 _H	PCRH	高 8 位程序计数器	-
49 _H	-	-	-
4A _H	-	-	-
4B _H	-	-	-
4C _H	-	-	-
4D _H	-	-	-
4E _H	-	-	-
4F _H	-	-	-

特殊功能寄存器空间 3:

地址	寄存器名称	功能说明	备注
60 _H	IAD	间接寻址数据寄存器	-
61 _H	-	-	-
62 _H	-	-	-
63 _H	PSW	程序状态字寄存器	-
64 _H	IAA	间接寻址地址寄存器	-
65 _H	PA	PA 端口电平状态寄存器	-
66 _H	PB	PB 端口电平状态寄存器	-
67 _H	INTC0	中断控制寄存器 0	-
68 _H	PCRH	高 8 位程序计数器	-
69 _H	-	-	-
6A _H	-	-	-
6B _H	-	-	-
6C _H	-	-	-
6D _H	-	-	-
6E _H	-	-	-
6F _H	-	-	-

3.2.3 通用数据存储器

本芯片的通用数据存储器空间为 64 Bytes SRAM，地址映射到 4 个存储体组 0~3 中。所在地址范围为 10_H ~ 1F_H（通用数据存储空间 0）、30_H ~ 3F_H（通用数据存储空间 1）、50_H ~ 5F_H（通用数据存储空间 2）、70_H ~ 7F_H（通用数据存储空间 3）。通用数据存储器用于指令运行中，存放数据或控制信息，其内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

通用数据存储器能够直接寻址，也可通过索引寄存器 IAA 间接寻址。

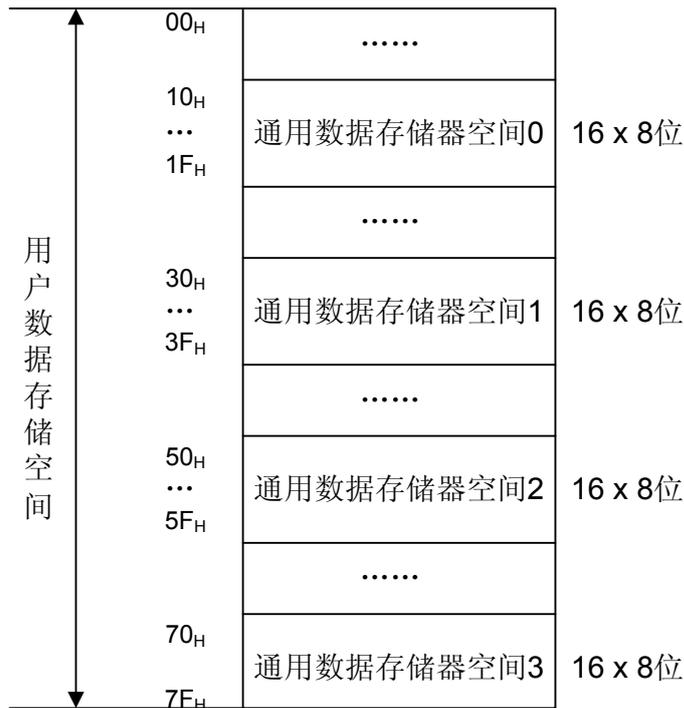


图 3-3 通用数据存储器地址映射示意图

3.2.4 寻址方式

数据存储器的寻址可以采用直接寻址和间接寻址。

直接寻址：

程序状态字寄存器（PSW）的 RP<1:0>位为直接寻址的高位地址，用于在存储体组 0~3 中进行选择；指令中的操作数为 5 位地址信息，用于在所选的存储体组内直接寻址。

间接寻址：

索引寄存器（IAA）的第 6、5 两位组成间接寻址的高位地址，用于在存储体组 0~3 中进行选择；IAA 的低 5 位存放低位地址信息，用于在所选的存储体组内寻址。间接寻址是通过对 IAD 寄存器的读/写来完成的。

IAD 寄存器不是一个物理寄存器，当对 IAD 寄存器进行读/写时，实际上是访问 IAA 内容所指向的单元，即 IAA 作为间接寻址的地址寄存器使用，IAD 作为间接寻址

的数据寄存器使用。若用间接寻址对 IAD 寄存器本身进行读操作，返回结果为 00_H；进行写操作将视为空操作（可能会影响状态位）。

应用例程：采用间接寻址将存储体组 0（10_H~1F_H）的寄存器清零。

```

.....
      MOVI  0X10      ; 对指针初始化
      MOVA  IAA      ; IAA 指向 RAM
NEXT1:
      CLR   IAD      ;
      INC   IAA      ; 指针 IAA 内容加 1
      JBS   IAA, 5
      GOTO  NEXT1    ; 未完成，循环到下一个单元清零
CONTINUE:
.....

```

应用例程：采用间接寻址方式把数据 5A_H 写入存储体组 1 中 030_H~037_H 内。

```

.....
      MOVI  0X30      ; 对指针初始化
      MOVA  IAA      ; IAA 指向 RAM
NEXT1:
      MOVI  0X5A      ; 对 A 寄存器赋值 5AH
      MOVA  IAD      ; 间接寻址赋值
      INC   IAA      ; 指针 IAA 内容加 1
      MOVI  0X38      ; 对 A 寄存器赋值 38H
      XOR   IAA, 0    ; IAA 值与 38H 异或
      JBS   PSW, Z    ; 判断 IAA 值是否为 38H
      GOTO  NEXT1    ; IAA 值不是 38H，继续循环
CONTINUE:
.....

```

第 4 章 输入/输出端口

4.1 概述

本芯片支持一个输入端口和 7 个 (HR6P59P2RHL) /11 个 (HR6P59P2D/SHL) I/O 端口。

一个输入端口是 TTL 输入，作输入端口用时不受相应的特殊功能寄存器 PxT 控制。

所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。每个端口都有相应的特殊功能寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。

当 I/O 管脚处于输出状态时，其电平由 Px 寄存器决定。1 为高电平，0 为低电平。

当 I/O 管脚处于输入状态时，其电平状态可由 Px 寄存器读取。

支持管脚复用。详细介绍和设置可参考《管脚说明》和《I/O MUX》章节。

4.2 结构框图

管脚	0	1	2	3	4	5	6	7	备注
PA	A	C	A	A	-	-	-	-	-
PB	A	A	A	A	-	-	-	-	-
PB	-	-	-	-	B	B	B	B	HR6P59P2D/SHL 支持

表 4-1 I/O 端口结构信息表

注 1: A 表示端口结构图 A, B 表示端口结构图 B, C 表示端口结构图 C。三种结构图如下。

注 2: PA1 端口对应的 PAT 始终为 1, 即 PA1 只能作输入用。

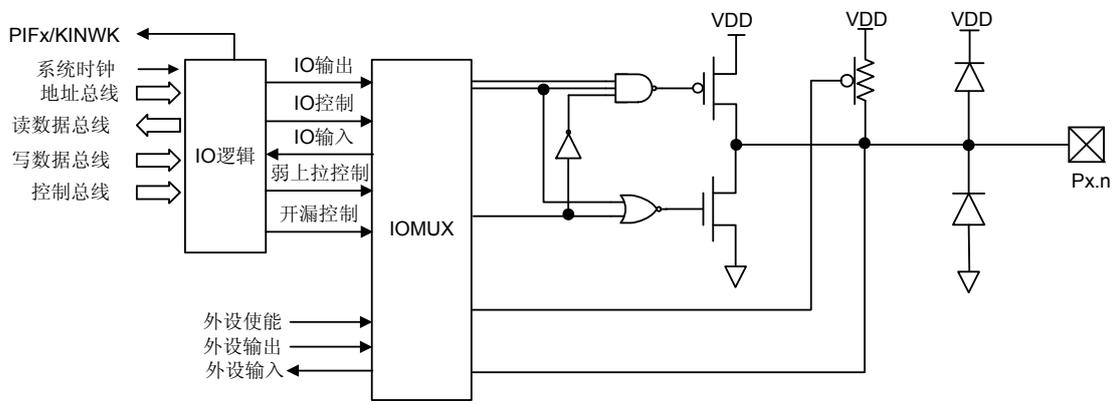


图 4-1 输入/输出端口结构图 A

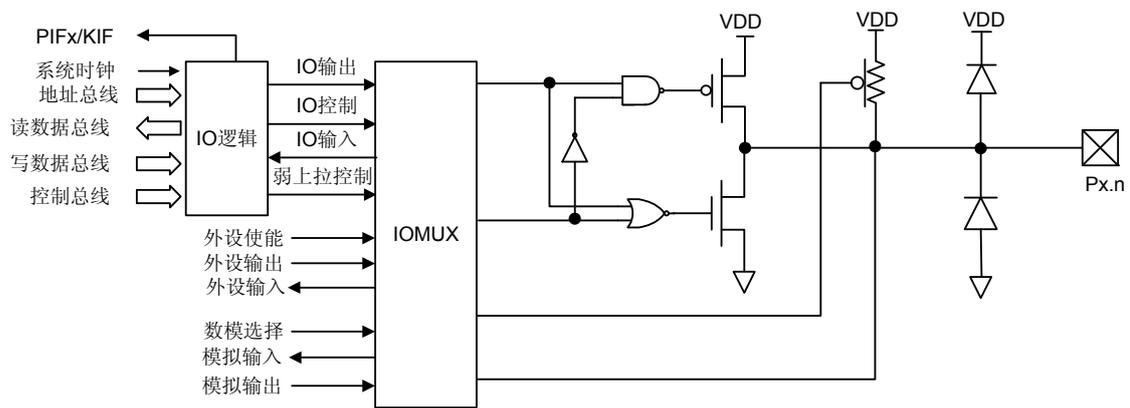


图 4-2 输入/输出端口结构图 B

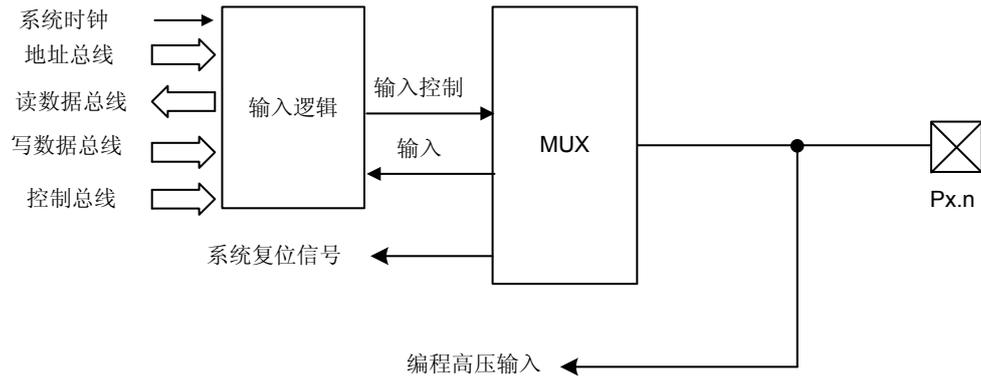


图 4-3 输入端口结构图 C

4.3 I/O MUX

管脚名	管脚复用	PAT	外设使能	备注
PA0	PA0	-	-	-
	T8CKI	1	T8CS=1	-
	PWM	0	TEOS=0 TEM<1:0>=11	-
	KIN0	1	-	-
PA1	PA1	-	MRSTEN=0	-
	#MRST	-	MRSTEN=1	-
	VPP	-	-	-
	KIN1	-	MRSTEN=0	-
PA2	PA2	-	-	-
	OSC2	-	OSCS<2:0>=000,010,111	-
	CLKO	-	OSCS<2:0>=001	-
	KIN2	1	-	-
PA3	PA3	-	-	-
	OSC1	-	OSCS<2:0>=000,001,010, 011,111	-
	CLKI	-	-	-
	KIN3	1	-	-

管脚名	管脚复用	PBT	外设使能	备注
PB0	PB0	-	-	-
	PINT	1	-	-
PB1	PB1	-	-	-
	KIN4	1	-	-
PB2	PB2	-	-	-
PB3	PB3	-	-	-
	PWM	0	TEOS=1 TEM<1:0>=11	-
PB4	PB4	-	-	HR6P59P2D /SHL 支持
PB5	PB5	-	-	HR6P59P2D /SHL 支持
PB6	PB6	-	-	HR6P59P2D /SHL 支持
PB7	PB7	-	-	HR6P59P2D /SHL 支持

4.4 I/O端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	不支持	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	支持	支持	支持	支持

表 4-2 I/O 端口弱上拉

4.5 外部按键唤醒 (KINWK)

外部端口支持 1 组外部按键唤醒。按键唤醒支持最多 5 个按键输入端 KIN<4:0>, 每个输入端可以由相应的 KMSK<4:0>屏蔽。

管脚名	端口输入	端口屏蔽	唤醒源
PA0	KIN0	KMSK0	KINWK
PA1	KIN1	KMSK1	
PA2	KIN2	KMSK2	
PA3	KIN3	KMSK3	
PB1	KIN4	KMSK4	

4.6 I/O端口开漏输出

管脚	0	1	2	3	4	5	6	7
PA	支持	-	支持	支持	-	-	-	-
PB	支持	支持	支持	支持	-	-	-	-

4.7 外部端口中断 (PINT)

PB<0>支持一个外部端口中断。外部端口中断由相应的 PIE 使能, 通过 INTEDG 选择上升沿触发还是下降沿触发。中断产生将影响相应的中断标志 PIF。

管脚名	中断名	中断使能	端口输入	触发选择	中断标志
PB0	PINT	PIE	PINT	INTEDG	PIF

表 4-3 外部端口中断

4.8 特殊功能寄存器

寄存器名称		PA 端口电平状态寄存器 (PA)	
地址		PA: 05 _H 25 _H 45 _H 65 _H	
复位值		xxxx xxxx	
PA<3:0>	bit3-0	R/W	PA 口电平状态 0: 低电平 1: 高电平

寄存器名称		PB 端口电平状态寄存器 (PB)	
地址		PB: 06 _H 26 _H 46 _H 66 _H	
复位值		xxxx xxxx	
PB<7:0>	bit7-0	R/W	PB 口电平状态 0: 低电平 1: 高电平

寄存器名称		PA 端口输入输出控制寄存器 (PAT)	
地址		-	
复位值		1111 1111	
PAT<3:0>	bit3-0	W	PA 口输入输出状态 0: 输出状态 1: 输入状态

寄存器名称		PB 端口输入输出控制寄存器 (PBT)	
地址		-	
复位值		1111 1111	
PBT<7:0>	bit7-0	W	PB 口输入输出状态 0: 输出状态 1: 输入状态

注 1: 执行 TRIS 指令将 A 寄存器的值写入 PAT/PBT, 该寄存器不能读取。

注 2: TRIS 指令中的 R 为 PA/PB 的地址。

寄存器名称				PA 弱上拉控制寄存器 (PAWPUC)			
地址		09 _H					
复位值		1111 1111					
PAWPUC0	bit0	R/W	PA0 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能				
-	bit1	-	-				
PAWPUC2	bit2	R/W	PA2 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能				
PAWPUC3	bit3	R/W	PA3 口内部弱上拉控制位 0: 弱上拉使能 1: 弱上拉不使能				
-	bit7-4	-	-				

寄存器名称				PB 弱上拉控制寄存器 (PBWPUC)			
地址		0A _H					
复位值		1111 1111					
PBWPUC <7:0>	bit7-0	R/W	PBx 口内部弱上拉控制 0: 弱上拉使能 1: 弱上拉不使能				

寄存器名称				按键屏蔽控制寄存器 (KMSK)			
地址		0C _H					
复位值		0000 0000					
KMSK<4:0>	bit4-0	R/W	KINx 按键唤醒屏蔽使能位 0: 屏蔽按键唤醒 1: 使能按键唤醒				
-	bit7-5	-	-				

寄存器名称		开漏输出控制寄存器 (ODC)	
地址	0D _H		
复位值	0000 0000		
PA0OD	bit0	R/W	PA0 端口开漏输出使能位 0: 禁止 1: 使能
-	bit1	-	-
PA2OD	bit2	R/W	PA2 端口开漏输出使能位 0: 禁止 1: 使能
PA3OD	bit3	R/W	PA3 端口开漏输出使能位 0: 禁止 1: 使能
PB0OD	bit4	R/W	PB0 端口开漏输出使能位 0: 禁止 1: 使能
PB1OD	bit5	R/W	PB1 端口开漏输出使能位 0: 禁止 1: 使能
PB2OD	bit6	R/W	PB2 端口开漏输出使能位 0: 禁止 1: 使能
PB3OD	bit7	R/W	PB3 端口开漏输出使能位 0: 禁止 1: 使能

第 5 章 外设

5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8)、1 组 PWM 时基定时器 (T8P)。此外还有 1 组定时器/计数器扩展模块 (TE)。

5.1.1 8 位定时器/计数器 (T8)

5.1.1.1 概述

- 时钟源为系统时钟 4 分频 (Fosc/4) 和外部计数时钟 (T8CKI)
- 支持定时器模式和计数器模式
- 支持 1 组可配置预分频器
- 支持 1 组计数器, 可以对内部时钟/预分频输出进行计数或对外部时钟边沿进行计数
- 休眠模式下不可用
- 支持溢出中断

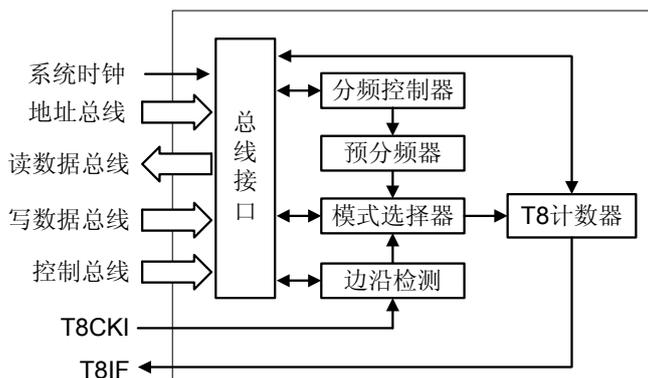


图 5-1 T8 内部结构图

5.1.1.2 工作模式

T8 通过 T8CS 位 (BSET<5>) 的设置来选择工作模式。

设置 T8CS 为 0, T8 为定时器模式, 使用系统时钟 4 分频作为时钟源。不使用预分频器时, T8 寄存器的递增周期为一个机器周期; 当使用预分频器时, T8 寄存器的递增周期为预分频器的输出信号周期。

设置 T8CS 为 1, T8 为计数器模式, 使用外部时钟源。时钟信号是从 T8CKI 端口输入, 通过 T8SE 位 (BSET<4>) 的设置来选择对外部时钟的上升沿或下降沿计数。当 T8SE 位为 0 时, 选择上升沿计数; T8SE 位为 1 时, 选择下降沿计数。T8 寄存器在外部时钟的上升沿或下降沿递增。通过内部相位时钟 p2 和 p4 采样, 来实现 T8CKI 与内部相位时钟的同步。因此, T8CKI 保持高电平或者低电平的时间, 至少为 4 个系统时钟周期。

应用例程: BSET 寄存器不可寻址, 通过 OPTION 指令进行赋值。

```
.....  
MOVI      0XD1      ; 选择内部时钟, 预分频为 1:4  
OPTION  
.....
```

5.1.1.3 预分频器

通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 T8。当预分频器分配给 T8 时, 任何对 T8 寄存器的写操作都会把预分频器的计数值清零, 但不改变预分频器的分频比。预分频器的计数值无法读写, 分频比可由 PS<2:0> (BSET<2:0>) 来配置。

5.1.1.4 中断标志

T8 提供了一个溢出中断标志。当 T8 寄存器递增计数, 计数值由 FF_H 变为 00_H 时, T8 寄存器发生溢出, T8IF 位 (INTC0<2>) 置 1, 如果 T8IE 位 (INTC0<5>) 使能, 并且外设中断 PEIE 和全局中断 GIE 使能, 则产生 T8 溢出中断。否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8IF 位必须软件清零。在 CPU 进入休眠模式后, T8 模块不工作, 因此不产生中断。

5.1.2 8位PWM时基定时器 (T8P)

5.1.2.1 概述

- 时钟源为系统时钟 4 分频 (Fosc/4)
- 支持定时器模式
- 支持可配置预分频器和可配置后分频器
- 支持周期寄存器, 存放计数周期
- 计数器同周期寄存器比较, 匹配时产生匹配信号, 并清零计数器
- 通过定时器/计数器扩展模块, 支持 PWM 输出功能

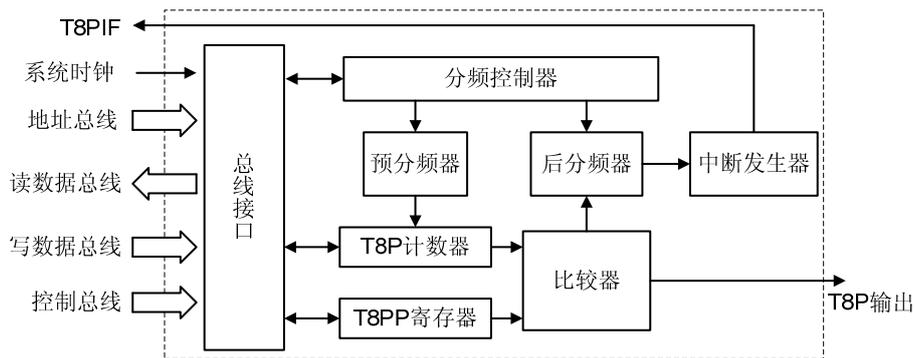


图 5-2 T8P 内部结构图

注：T8PP 为 T8P 周期寄存器。

5.1.2.2 工作模式

T8P 支持定时器模式, 时钟源为系统时钟 4 分频 (Fosc/4)。通过定时器/计数器扩展模块, 可以实现 PWM 输出, 请参考《T8P 脉宽调制功能扩展》章节。

5.1.2.3 预分频器和后分频器

T8P 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器的计数值无法读写, 分频比可由 T8PCKPS<1:0> (T8PC<1:0>) 来配置。后分频器的计数值也无法读写, 分频比可由 TOUTPS<3:0> (T8PC<6:3>) 来配置。修改 T8P 的控制寄存器或计数器, 都会把预分频器和后分频器清零。

5.1.2.4 中断标志

T8P 支持 1 组周期寄存器和 1 组计数器, 都为 8 位可读写寄存器。当 T8P 计数器的计数值递增到与周期寄存器的值相等时, 产生一次匹配信号。后分频器会对这一匹配信号进行计数, 当满足后分频器的设定值时, T8PIF 置 1, 如果 T8PIE 使能, 且全局中断 GIE 使能, 则产生 T8P 中断, 否则中断不被响应。在重新使能这个中断之前, 为了避免误触发中断, T8PIF 位必须软件清零。在 CPU 进入休眠模式后, T8Px 不工作, 因此不产生中断。

应用例程：设置 T8P 定时器选择预分频为 1:4，后分频为 1:1

```
.....  
BSS      PSW,RP0      ; 选择存储体组 1  
MOVI     0X30  
MOVA     T8PP        ; 设置 T8P 定时器的周期  
MOV      0X05  
MOVA     T8PC        ; 设置预分频和后分频  
.....
```

5.1.3 定时器/计数器扩展模块 (TE)

5.1.3.1 概述

HR6P59HL 的 TE 模块支持 1 种功能扩展模式：T8P 脉宽调制功能扩展，通过设置 TEM<1:0>使能该扩展模式。

5.1.3.2 T8P脉宽调制功能扩展

当 TE 设置成 PWM 功能扩展时，PWM 端口可产生 10 位分辨率的 PWM 输出。

在初始化 PWM 端口时，必须将相应的 PWM 端口所在管脚，设置成输出状态。

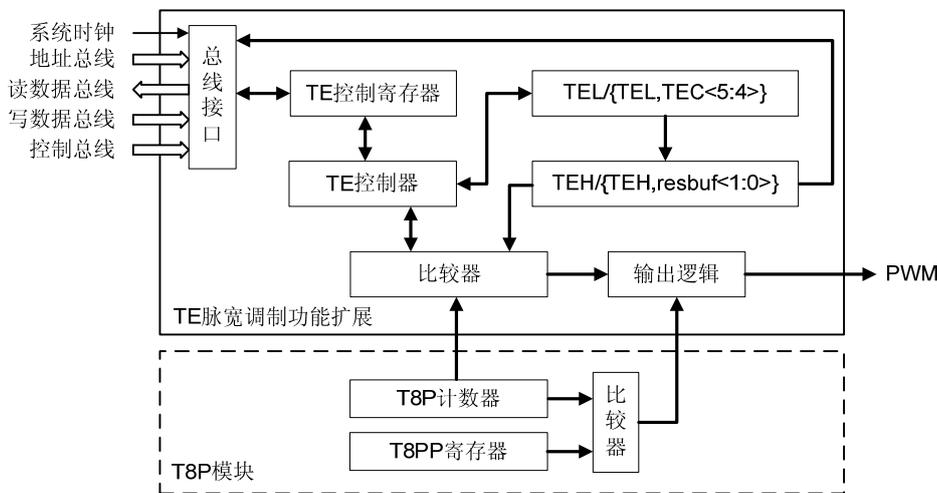


图 5-3 TE 在 PWM 功能扩展的内部结构图

对于 PWM 输出，波形如下图所示：

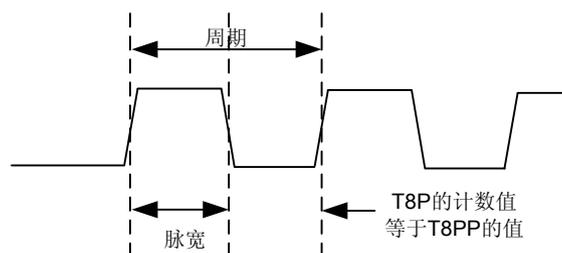


图 5-4 PWM 输出示意图

T8P 定时器作为 PWM 输出的时基。T8P 从 0 开始递增计数，当计数值等于 T8PP 时，完成了 PWM 的计数周期。满足计数周期时，将会进行如下操作：PWM 端口被置 1（但如果 PWM 的占空比为 0%，PWM 端口将不会置 1）；PWM 占空比从 TEL 被锁存到 TEH；T8P 被清零并重新开始递增计数。

PWM 占空比由写入 TEL 寄存器和 TEC<5:4> 位的值来决定。TEL:TEC<5:4> 任何时候都是可写的，但是新写入的值，要到 T8PP 与 T8P 相等后（即周期完成）才锁存到 TEH 和 resbuf<1:0>。如果 PWM 脉宽比 PWM 周期要长

或相等，PWM 端口将不会清零。在 PWM 方式下，TEH 是一个只读寄存器。对 TEC 寄存器清零将会强迫 PWM 输出锁存器为低电平，而不是 I/O 端口的输出电平值。

PWM 公式如下：

$$\text{PWM 周期} = [(T8PP)+1] \times 4 \times T_{osc} \times (T8P \text{ 预分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (\text{TEL:TEC}<5:4>) \times T_{osc} \times (T8P \text{ 预分频比})$$

$$\text{PWM 占空比} = (\text{TEL:TEC}<5:4>) / 4 [(T8PP)+1]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

F_{CKPS} 是 T8P 预分频器的分频比。

注：占空比是指在一个 PWM 周期内，高电平的持续宽度（脉宽），占整个周期的比例。

应用例程：对 PWM 的运行，进行设定可产生周期为 256μs，占空比为 50%脉冲波形（主时钟采用 4MHz）

形（主时钟采用 4MHz）

```

.....
BSS      PSW,RP0
MOVI     0XFF      ; 将 0XFF 送至 A
MOVA     T8PP      ; 设置 PWM 周期
MOVI     0XF7      ; 设置 PB3 为输出口
TRIS     PB
MOVI     0X80      ; 设置 PWM 占空比
MOVA     TEL
MOVI     0X0C
MOVA     T8PC
MOVI     0X0E      ; 设置为 PWM 方式
MOVA     TEC
BCC      PSW,RP0
.....

```

5.1.4 特殊功能寄存器

寄存器名称		T8 寄存器 (T8)	
地址		01 _H 21 _H	
复位值		XXXX XXXX	
T8<7:0>	bit7-0	R/W	T8 计数器 00 _H ~ FF _H

寄存器名称		T8P 寄存器 (T8P)	
地址		29 _H	
复位值		XXXX XXXX	
T8P<7:0>	bit7-0	R/W	T8P 计数器 00 _H ~ FF _H

寄存器名称		T8P 控制寄存器 (T8PC)	
地址		2A _H	
复位值		0000 0000	
T8PCKPS<1:0>	bit1-0	R/W	T8P 预分频器分频比选择位 00: 分频比为 1:1 01: 分频比为 1:4 1x: 分频比为 1:16
T8PON	bit2	R/W	T8P 使能位 0: 关闭 T8P 1: 使能 T8P
TOUTPS<3:0>	bit6-3	R/W	T8P 后分频器分频比选择位 0000: 分频比为 1:1 0001: 分频比为 1:2 0010: 分频比为 1:3 ... 1111: 分频比为 1:16
-	bit7	-	-

寄存器名称		T8P 周期寄存器 (T8PP)	
地址		2B _H	
复位值		1111 1111	
T8PP<7:0>	bit7-0	R/W	T8P 周期寄存器 00 _H ~ FF _H

寄存器名称		低 8 位 TE 缓冲寄存器 (TEL)	
地址		2C _H	
复位值		XXXX XXXX	
TEL<7:0>	bit7-0	R/W	TE 缓冲寄存器低 8 位 00 _H ~ FF _H

寄存器名称		高 8 位 TE 缓冲寄存器 (TEH)	
地址		2D _H	
复位值		XXXX XXXX	
TEH<7:0>	bit7-0	R/W	TE 缓冲寄存器高 8 位 00 _H ~ FF _H

寄存器名称		TE 控制寄存器 (TEC)	
地址		2E _H	
复位值		0000 0000	
-	bit0	-	-
TEOS	bit1	R/W	TE 的 PWM 输出管脚选择位 0: PA<0>输出 PWM 1: PB<3>输出 PWM
TEM<1:0>	bit3-2	R/W	TE 工作方式选择位 00 = 关闭 TE 模块 (即 TE 复位) 01 = 未用 10 = 未用 11 = PWM 功能扩展
PWMY-PWMX	bit5-4	R/W	10 位 PWM 工作循环周期低 2 位
-	bit7-6	-	-

第 6 章 特殊功能及操作特性

6.1 系统时钟与振荡器

6.1.1 概述

本芯片有两种时钟源，一种是外部时钟源，支持 5 种时钟模式，分别是 HS、XT、LP、RC 和 RCIO 模式；另一种是内部时钟源，INTOSC 模式。

具体的时钟源和对应模式选择由芯片配置字 OSCS<2:0>位决定。

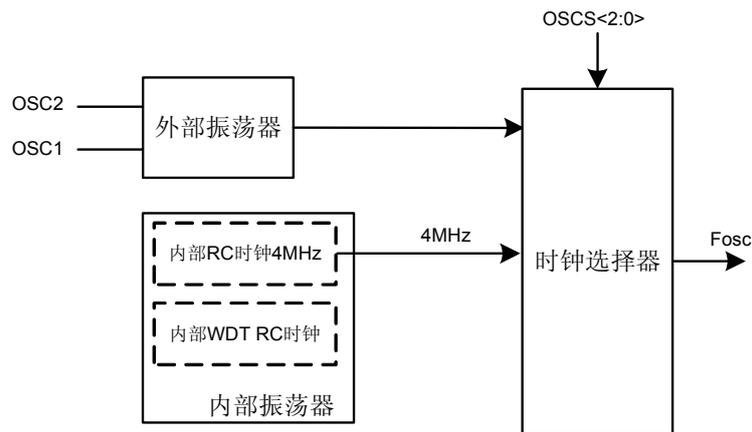


图 6-1 芯片系统时钟选择框图

6.1.2 外部时钟

外部时钟包括晶体/陶瓷振荡器模式（HS/XT/LP）、RC 模式（RC/RCIO）。分别介绍如下。

◇ 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

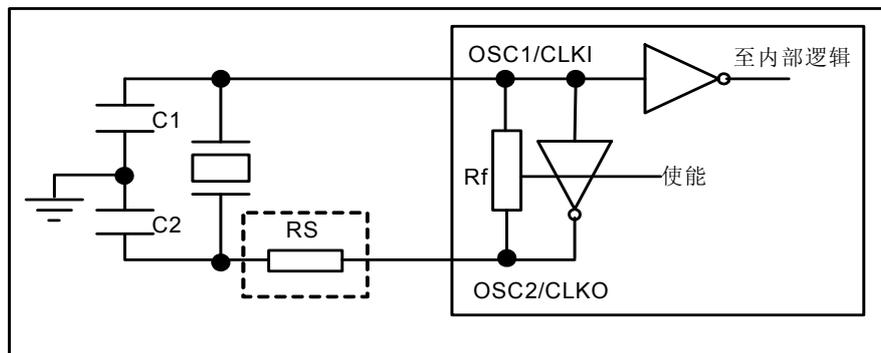


图 6-2 晶体/陶瓷振荡器模式（HS、XT、LP 模式）

注：RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-1 晶体振荡器电容参数参考表

注*：此数据可根据晶振频率大小、外围电路的不同作微调。

◇ RC 振荡器模式

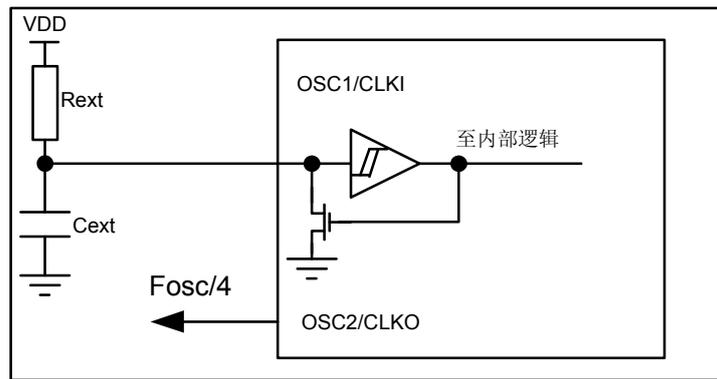


图 6-3 振荡器 RC 模式等效电路图及外围参考图

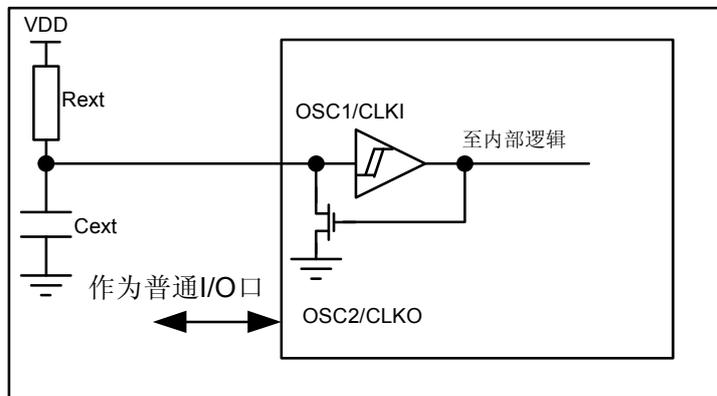


图 6-4 振荡器 RCIO 模式等效电路图及外围参考图

工作条件: -40~85°C 2.5~5.5v	
推荐外部电阻范围	15K ≤ Rext ≤ 100K
推荐外部电容范围	20pf ≤ Cext ≤ 300pf
推荐振荡频率范围	10KHz ≤ f ≤ 4MHz

表 6-2 外部 RC 模式推荐参数

6.1.3 内部时钟

本芯片内部时钟为 INTOSC 4M 模式。

内部时钟校准值出厂前未作校准，客户必须在编程器上进行校准。

当客户使用 5V 系统板时，需选择 5V 进行校准；当客户使用 3.3V 系统板时，需选择 3.3V 进行校准。

注：为了获得高精度的时钟，如果用户系统为 3.3V 电压，建议使用编程器进行内部时钟校准时选择 3.3V 校准；如果客户系统为 5V 电压，建议使用编程器进行内部时钟校准时选择 5V 校准。

6.1.4 特殊功能寄存器

寄存器名称		内部时钟校准寄存器(CALR)	
地址	00B _H		
复位值	1111 1111		
CALR<7:0>	bit7-0	R/W	频率调节位 当 CALR<7:0> = FF _H 时，时钟频率最小 当 CALR<7:0> = 00 _H 时，时钟频率最大

注 1: CALR 寄存器主要是调整内部 4MHz 时钟的精度。程序存储器的最后一个地址 (3FF_H) 只能读不可写，此地址已经写入指令 RETIA XX，其中 XX 为内部 4MHz 时钟校准值。

注 2: 程序存储空间 3E7_H~3FE_H 为内部 4MHz 时钟校准程序空间，如果芯片在编程器上选择内部时钟校准，以上空间客户不可写，也就是说，客户可读写的空间为 000_H~3E6_H。如果芯片在编程器上不选择内部时钟校准，客户可使用的空间不受影响，仍为 1K。

应用例程：读取内部 4MHz 校准值的简单程序如下。

```

.....
ORG      0X00
LCALL   0X3FF
MOVA    CALR      ; RETIA 指令立即数的值写入校准寄存器
.....
    
```

6.2 复位模块

6.2.1 概述

本芯片有四种复位类型：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口#MRST 复位（低电平有效）
- ◇ 看门狗定时器 WDT 溢出复位

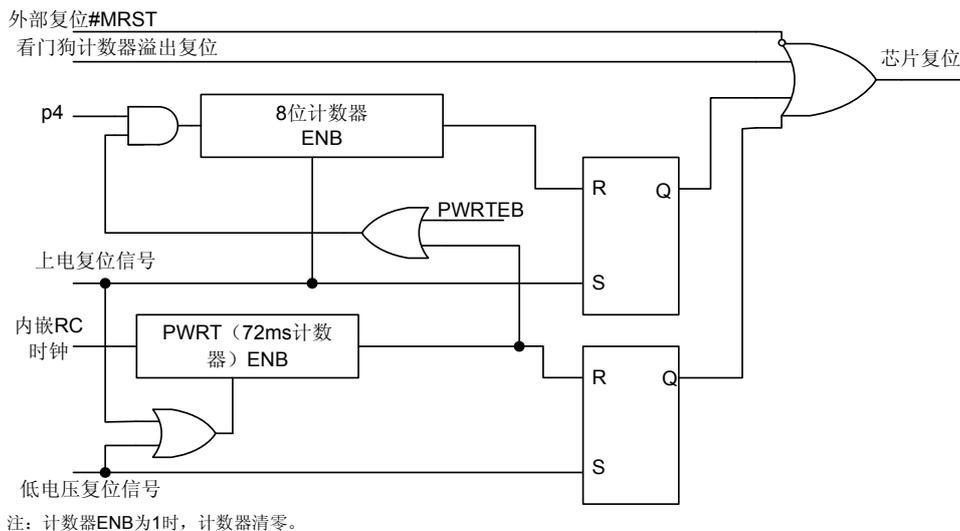


图 6-5 芯片复位原理图

6.2.2 应用举例

- ◇ 应用举例一

采用下图所示的复位电路，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

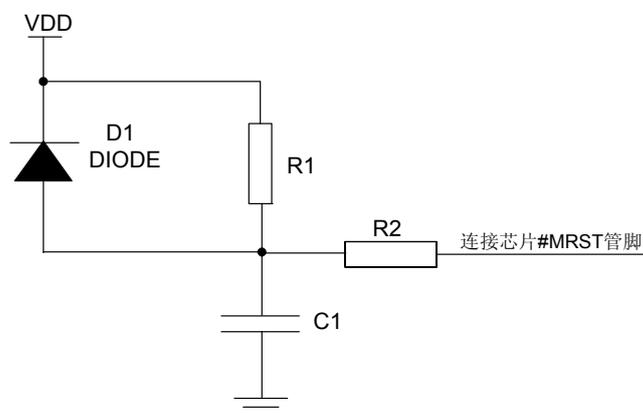


图 6-6 RC 复位电路

◇ 应用举例二

采用 PNP 三极管的复位电路，如下图所示，通过 R1 (2KΩ) 和 R2 (10KΩ) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20KΩ) 接地，另一路通过 R4 (1KΩ) 和 C1 (0.1μF) 接地，C1 另一端作为#MRST 输入。

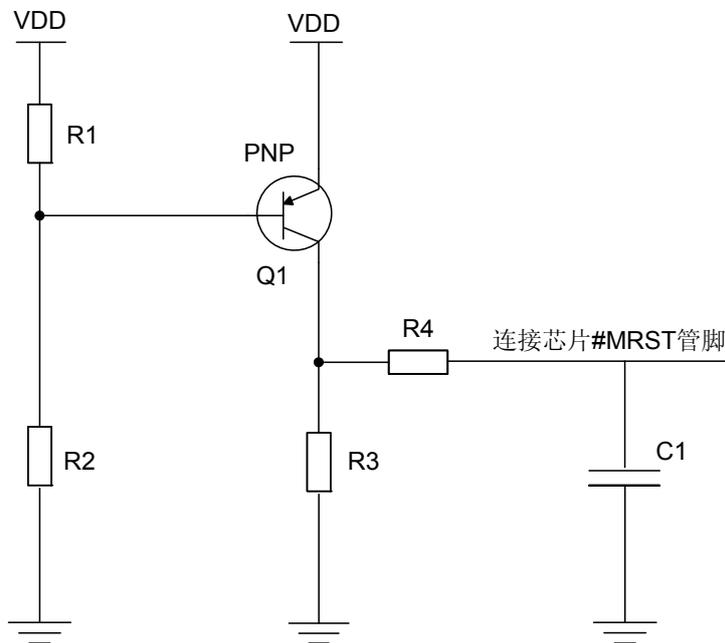


图 6-7 三极管复位电路

6.2.3 特殊功能寄存器

寄存器名称		电源状态控制寄存器 (PCON)	
地址	2FH		
复位值	0011 1x0x		
#BOR	bit0	R/W	低电压检测复位状态位 0: 低电压检测复位发生 (低电压检测复位后, 必须用软件置位) 1: 无低电压检测复位发生
#POR	bit1	R/W	上电复位状态位 0: 上电复位发生 (上电复位后, 必须用软件置位) 1: 无上电复位发生
-	bit3-2	-	-
SREN	bit4	R/W	低电压检测复位软件使能位 当配置字 BOREN 使能时 0: 禁用 1: 使能 当配置字 BOREN 禁止时, 此位无效
RCEN	bit5	R/W	WDT 内部 RC 时钟使能位 0: 关闭 WDT 内部 RC 时钟 1: 使能 WDT 内部 RC 时钟
-	bit7-6	-	-

6.3 中断处理

6.3.1 概述

本芯片支持硬件中断，共 3 个中断源，其中断向量入口位于 0008_H。每个中断源都有各自的中断使能位和中断标志位。

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	PINT	PIF	PIE	-	GIE	-
2	T8INT	T8IF	T8IE	-	GIE	-
3	T8PINT	T8PIF	T8PIE	PEIE	GIE	-

表 6-3 中断逻辑表

6.3.2 操作说明

每个硬件中断源都有各自的中断使能和中断标志位，因此初始化相应的硬件中断时，需要先清除中断标志位，再使能当前中断。若使能前不先清除中断标志，则有可能发生误进中断的情况。除了每个中断支持中断使能外，本芯片还提供了一个全局中断。因此在初始化所有需要的中断后，请使能全局中断。

中断现场保护是中断程序中一个很重要的组成部分。指令系统中有 **PUSH**（压栈）和 **POP**（出栈）指令，可以用来实现中断的数据保存。可以保存的数据包括：工作寄存器 **A**，程序状态字寄存器 **PSW** 和 **PCRH** 寄存器。其它数据寄存器的保护需采用其它指令实现。

6.3.3 特殊功能寄存器

寄存器名称		中断控制寄存器 0 (INTC0)	
地址	07 _H 27 _H 47 _H 67 _H		
复位值	0000 0000		
T8PIF	bit0	R/W	T8P 中断标志位 0: T8P 计数器计数未发生溢出 1: T8P 计数器计数溢出 (必须软件清零)
PIF	bit1	R/W	外部端口中断标志位 0: 外部端口上无中断信号 1: 外部端口上有中断信号 (必须用软件清零)
T8IF	bit2	R/W	T8 溢出中断标志位 0: T8 计数未溢出 1: T8 计数溢出 (必须用软件清零)
T8PIE	Bit3	R/W	T8P 中断使能位 0: 禁止 T8P 中断 1: 使能 T8P 中断
PIE	bit4	R/W	外部端口中断使能位 0: 禁止外部端口中断 1: 使能外部端口中断
T8IE	bit5	R/W	T8 溢出中断使能位 0: 禁止 T8 中断 1: 使能 T8 中断
PEIE	bit6	R/W	外围中断使能位 0: 禁止外围接口中断 1: 使能未屏蔽的外围接口中断
GIE	bit7	R/W	全局中断使能位 0: 禁止所有的中断 1: 使能所有未屏蔽的中断

6.4 看门狗定时器

6.4.1 概述

当芯片配置字选择使能 WDTEN（配置字 CONFIG<2>）时，看门狗开始工作，为了防止看门狗超时溢出引起不必要的芯片复位，必须在程序中用 CWDT 指令对 WDT 计数器定时清零；芯片配置字选择不使能 WDTEN 时，看门狗定时器停止工作。

没有预分频时，WDT 计数溢出时间典型值约为 19.7ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

下图为 WDT 功能示意图，内部 RC 时钟典型工作频率约为 26KHz，经二分频后给 WDT 使用。

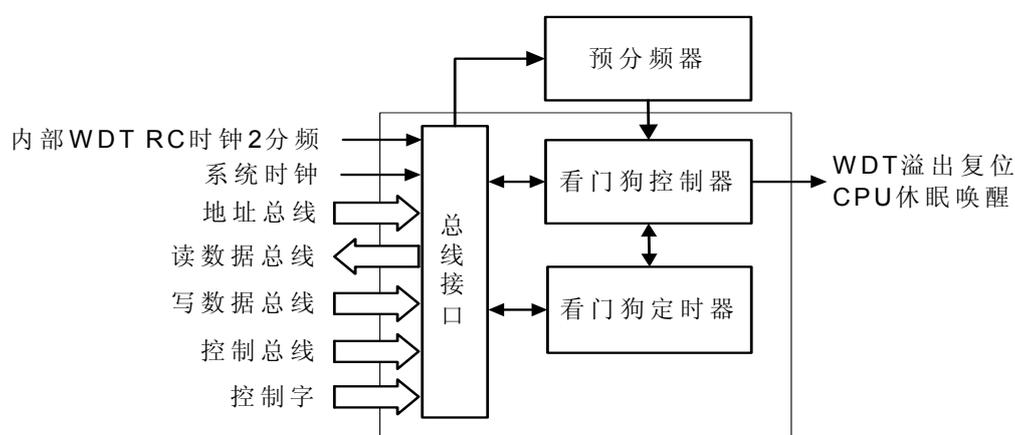


图 6-8 看门狗定时器示意图

6.5 低功耗操作

6.5.1 休眠

通过执行一条指令 IDLE，即可进入休眠状态。进入休眠状态之后：

- ◇ 主时钟振荡器停振
- ◇ 所有 I/O 端口将保持进入 IDLE 前的状态
- ◇ 若使能 WDT，则 WDT 将被清零并保持运行
- ◇ PSW 寄存器中的 #PD 位被清零，#TO 位被置 1

在休眠模式下，为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平。#MRST 管脚必须处于逻辑高电平。

6.5.2 唤醒

当芯片处于休眠状态时，可以通过以下方式唤醒：

序号	唤醒源	中断使能	外设使能	按键唤醒使能	备注
1	#MRST	-	-	-	外部复位
2	WDT	-	-	-	WDT 溢出
3	KINWK	-	-	KMSK<4:0>	-
4	PINT	PIE	-	-	-

表 6-4 休眠唤醒表

芯片从休眠模式唤醒，需要注意以下两点：

- 1、中断唤醒与全局中断使能无关。在休眠模式下，若外设产生中断信号，即使全局中断使能 GIE 为 0，休眠模式依然会被唤醒，只是唤醒后不会执行中断程序。
- 2、当唤醒事件发生后，芯片需要在主时钟运行 1024 个周期后才执行 IDLE 指令的下一条指令。

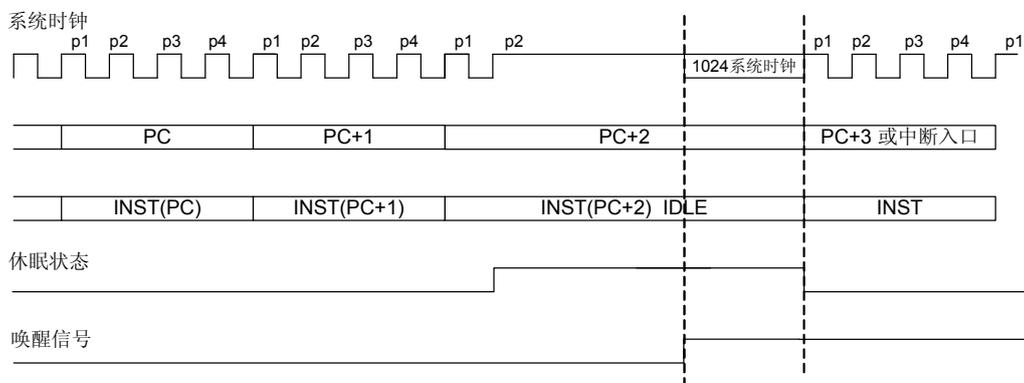


图 6-9 休眠模式唤醒示意图

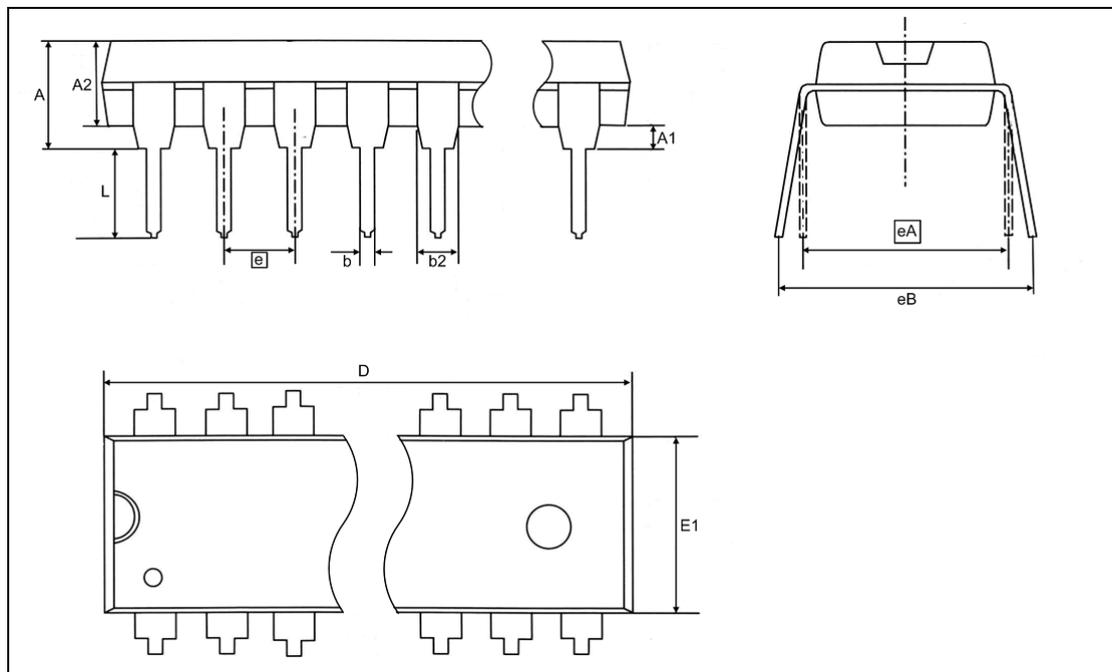
6.6 芯片配置字

寄存器名称	芯片配置字 (CONFIG)	
地址	401 _H	
OSCS<2:0>	bit8,1-0	振荡器选择位 000 = LP 模式: 晶振/谐振器连接到 PA2 和 PA3 001 = RC 模式: CLKO 从 PA2 输出, RC 电路接到 PA3 010 = HS 模式: 晶体振荡器连接到 PA2 和 PA3 011 = RCIO 模式: PA2 为 I/O, RC 电路接到管脚 PA3 100 = 未用 101 = INTOSC 模式: PA2 为 I/O, PA3 为 I/O 110 = 未用 111 = XT 模式: 晶体振荡器连接到 PA2 和 PA3
WDTEN	bit2	硬件看门狗使能位 0: 禁止 1: 使能
#PWRTEB	bit3	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit4	#MRST 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
BOREN	bit5	低电压检测复位使能位 0: 禁止 1: 使能
#CP	bit6	程序加密使能位 0: 使能 1: 禁用
BORVS	bit7	低电压选择位 0: 3.3V 1: 2.1V (默认)
-	bit13-9	-

第 7 章 芯片封装图

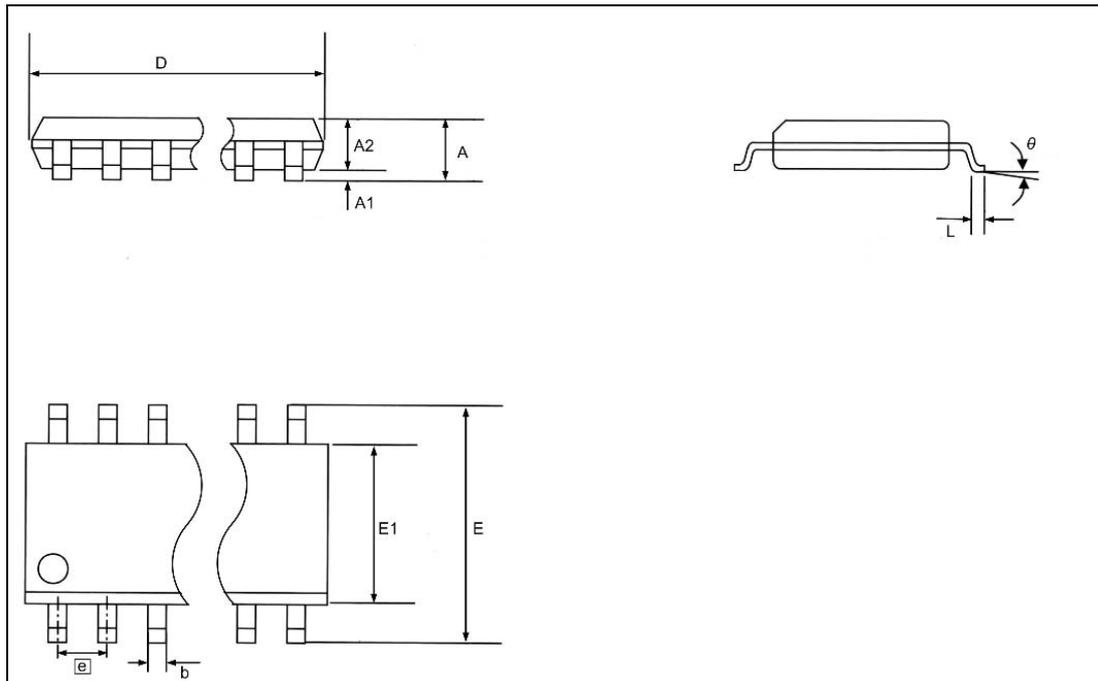
7.1 14-pin 封装图

DIP14



封装: DIP14						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	4.57	-	-	0.180
A1	0.38	-	-	0.015	-	-
A2	3.25	3.30	3.45	0.128	0.130	0.136
b	0.36	0.46	0.56	0.014	0.018	0.022
b2	1.27	1.52	1.78	0.050	0.060	0.070
D	18.83	19.07	19.30	0.741	0.751	0.760
E1	6.35	6.50	6.65	0.250	0.256	0.262
e	-	2.54	-	-	0.100	-
eA	7.62	-	8.26	0.300	-	0.325
eB	8.64	-	9.65	0.340	-	0.380
L	3.18	-	-	0.125	-	-

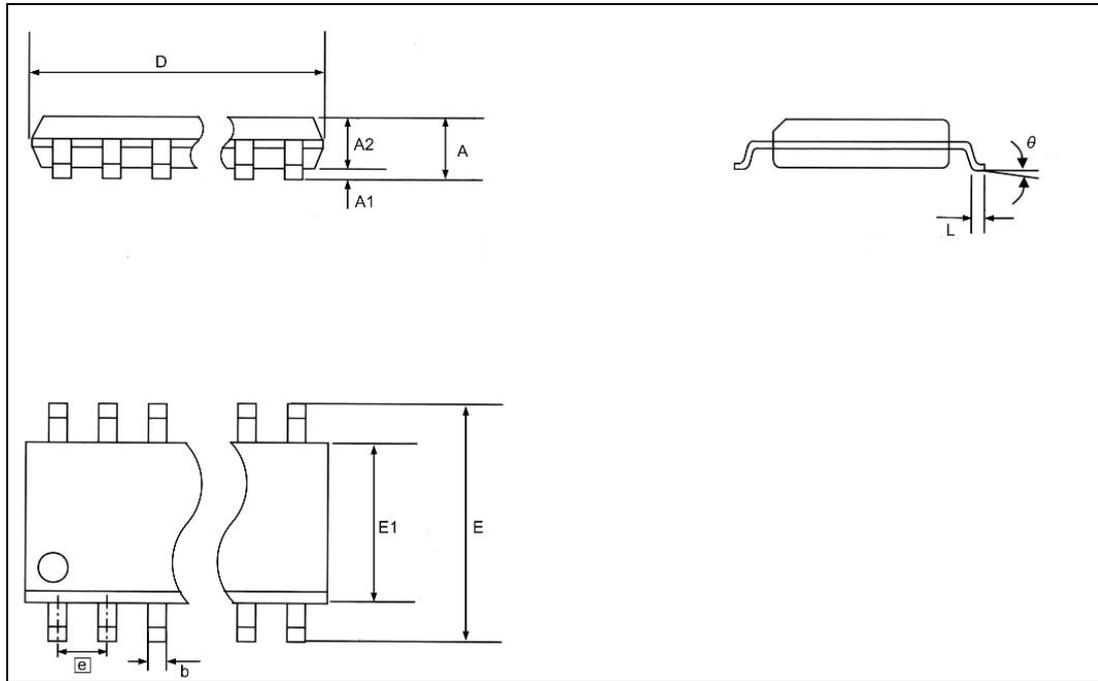
SOP14



封装: SOP14						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.60	1.75	0.053	0.063	0.069
A1	0.10	-	0.25	0.004	-	0.010
A2	-	1.45	-	-	0.057	-
D	8.55	-	8.75	0.337	-	0.344
E	5.80	-	6.20	0.228	-	0.244
E1	3.80	-	4.00	0.150	-	0.157
b	0.33	-	0.51	0.013	-	0.020
e	-	1.27	-	-	0.050	-
L	0.40	-	1.27	0.016	-	0.050
theta	0°	-	8°	0°	-	8°

7.2 10-pin 封装图

SSOP10



封装: SSOP10						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.77	-	-	0.070
A1	0.08	0.18	0.28	0.003	0.007	0.011
A2	1.20	1.40	1.60	0.047	0.055	0.063
D	4.70	4.90	5.10	0.185	0.193	0.201
E	5.80	6.00	6.20	0.228	0.236	0.244
E1	3.70	3.90	4.10	0.145	0.153	0.162
b	0.39	-	0.48	0.015	-	0.019
e	-	1.00	-	-	0.039	-
L	0.50	0.65	0.80	0.019	0.025	0.032
θ	0°	-	8°	0°	-	8°

附录1 指令集

附录1.1 概述

本芯片提供了 42 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 1 μ s。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、GOTO、JUMP、LCALL、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 指令操作说明

寄存器操作指令

序号	指令	影响状态位	操作
1	MOV R, F	Z	(R)→(目标)
2	MOVA R	-	(A)→(R)
3	MOVI I	-	I→(A)
4	TRIS R	-	(A) →(PxT)
5	OPTION	-	(A) →(BSET)

程序控制指令

序号	指令	影响状态位	操作
6	CALL I	-	PC+1→TOS, I→PC<7:0> (PCRH<1:0>)→(PC<9:8>)
7	CWDT	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 1→#PD
8	GOTO I		I→PC<8:0>, (PCRH<1>)→(PC<9>)
9	IDLE	#TO, #PD	00 _H →WDT, 0→WDT Prescaler, 1→#TO, 0→#PD
10	JBC R, M	-	Skip if R<M> = 0
11	JBS R, M	-	Skip if R<M> = 1
12	JDEC R, F	-	(R)-1→(目标), Skip if (目标) = 0
13	JINC R, F	-	(R)+1→(目标), Skip if (目标) = 0
14	JUMP I	-	I→PC<9:0>
15	LCALL I	-	PC+1→TOS, I→PC<9:0>
16	NOP	-	No operation
17	RETIA I	-	I→(A), TOS→PC
18	RETIE	-	TOS→PC, 1→GIE

算术/逻辑运算指令

序号	指令	影响状态位	操作
19	ADD R, F	C, DC, Z	(R)+(A)→(目标)
20	ADDI I	C, DC, Z	I+(A)→(A)
21	AND R, F	Z	(A). AND. (R)→(目标)
22	ANDI I	Z	I. AND. (A)→(A)
23	BCC R, M	-	0→R<M>
24	BSS R, M	-	1→R<M>
25	CLR R	Z	(R) = 0
26	CLRA	Z	(A) = 0
27	COM R, F	Z	(~R)→(目标)
28	DEC R, F	Z	(R)-1→(目标)
29	INC R, F	Z	(R)+1→(目标)
30	IOR R, F	Z	(A). OR. (R)→(目标)
31	IORI I	Z	I. OR. (A)→(A)
32	RL R, F	C	$\leftarrow \boxed{C} \leftarrow \boxed{R} \rightarrow$
33	RR R, F	C	$\leftarrow \boxed{C} \rightarrow \boxed{R} \rightarrow$
34	SUB R, F	C, DC, Z	(R)-(A)→(目标)
35	SUBI I	C, DC, Z	I-(A)→(A)
36	SWAP R, F	-	(R<3:0>)→((目标)<7:4>), (R<7:4>)→((目标)<3:0>)
37	XOR R, F	Z	(A). XOR. (R)→(目标)
38	XORI I	Z	I. XOR. (A)→(A)

特殊功能指令

序号	指令	影响状态位	操作
39	PUSH	-	进入中断处理时自动保护 A, PSW, PCRH 寄存器的值
40	POP	-	退出中断处理时自动恢复 A, PSW, PCRH 寄存器的值

注 1: I—立即数, F—标志位, A—寄存器 A, R—寄存器 R, M—寄存器 R 的第 M 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 F = 0, 则目标寄存器为寄存器 A; 如果 F = 1, 则目标寄存器为寄存器 R。

注 5: 42 条指令中另有两条 NOP 指令未在上表中描述。

附录2 电气特性

附录2.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.5 ~ 5.5V	-40 ~ 85	°C

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.5	-	5.5	V	-40°C ~ 85°C
芯片静态电流	I _{DD}	-	80	-	μA	25°C, VDD = 5V, BOR 不使能, 所有的 I/O 端口输入低电平, #MRST = 0, OSC1 = 0, OSC2 悬空。
休眠模式下 芯片电流	I _{PD}	-	1	-	μA	25°C, VDD = 5V, BOR 不使能, WDT 不使能。
		-	10	-	μA	25°C, VDD = 5V, 8MHz 时钟输入, BOR 不使能, WDT 使能, 时钟源 256 分频, 1024 T _{osc} 唤醒延时。
		-	50	-	μA	25°C, VDD = 5V, BOR 使能, WDT 不使能。
正常运行模式 芯片电流	I _{OP}	-	3	-	mA	25°C, VDD = 5V, 正常运行模式, 8MHz 时钟输入, I/O 端口输出固定电平, 无负载。
VDD 管脚的 最大输入电流	I _{MAXVDD}	-	80	100	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I _{MAXVSS}	-	120	-	mA	25°C, VDD = 5V
I/O 端口灌电流	I _{OL}	-	18	-	mA	25°C, VDD = 5V V _{OL} = 0.6V
I/O 端口拉电流	I _{OH}	-	10	-	mA	25°C, VDD = 5V V _{OH} = 4.4V

◆ 芯片输入端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA、PB 端口输入高电平(有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	2.5V ≤ VDD ≤ 5.5V
主复位信号 \overline{MRST} 输入高电平(有施密特输入特性)		0.8VDD	-	VDD	V	
PA、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
主复位信号 $\#MRST$ 输入低电平		VSS	-	0.20VDD	V	
PA、PB 端口输入漏电流	I_{IL}	-	-	±1	μA	2.5V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入弱上拉电流	I_{WPU}	30	80	150	μA	2.5V ≤ VDD ≤ 5.5V Vpin = VSS

◆ 芯片输出端口特性表

芯片工作温度范围: -40℃ ~ 85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V_{OH}	VDD-0.7	-	-	V	2.5V ≤ VDD ≤ 5.5V $I_{OH} = 3.0mA$
I/O 端口输出低电平	V_{OL}	-	-	0.6	V	2.5V ≤ VDD ≤ 5.5V $I_{OL} = 8.5mA$

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F _{OSC}	-	-	16M	Hz	3.5V ≤ VDD ≤ 5.5V
		-	-	8M	Hz	2.5V ≤ VDD ≤ 5.5V
系统时钟周期	T _{OSC}	62.5	-	-	ns	3.5V ≤ VDD ≤ 5.5V
		125	-	-	ns	2.5V ≤ VDD ≤ 5.5V
机器周期	T _{inst}	250	-	-	ns	-
外部时钟高电平和低电平时间	T _{OSL} , T _{OSH}	15	-	-	ns	-
外部时钟上升和下降时间	T _{OSR} , T _{OSF}	-	-	15	ns	-
WDT 溢出时间	T _{WDT}	12.8 (40K)	19.7 (26K)	42.7 (12K)	ms	不分频 VDD = 5V

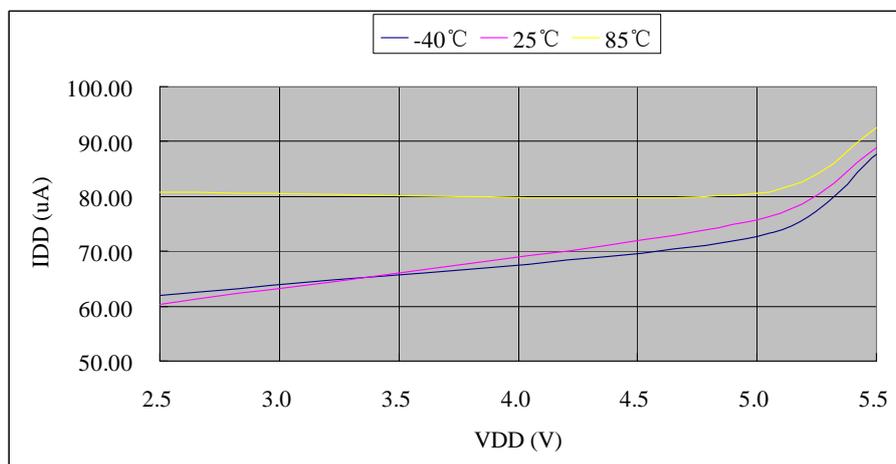
◆ 内部 4MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 4MHz	25°C, VDD = 5V	3.92	4	4.08	MHz
	-40°C ~ 85°C, VDD = 2.5V ~ 5.5V	3.4	4	5.6	MHz
3.3V, 25°C 将频率校准至 4MHz	25°C, VDD = 3.3V	3.92	4	4.08	MHz
	-40°C ~ 85°C, VDD = 2.5V ~ 5.5V	3.2	4	5.2	MHz

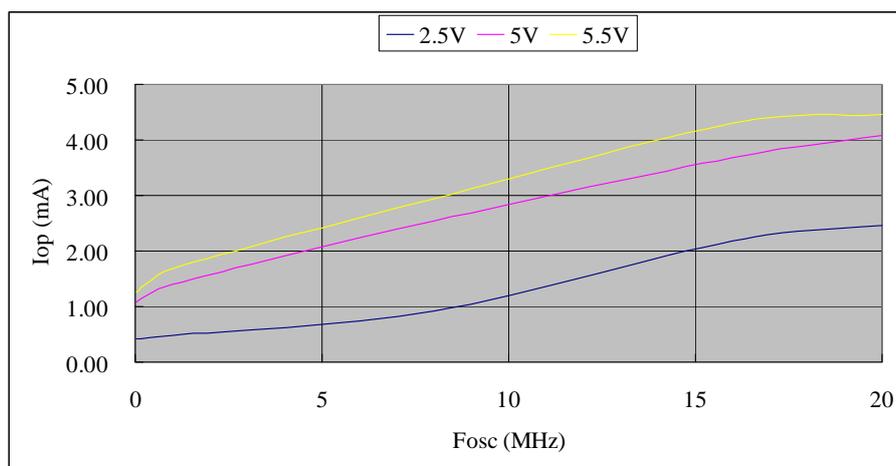
附录2.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

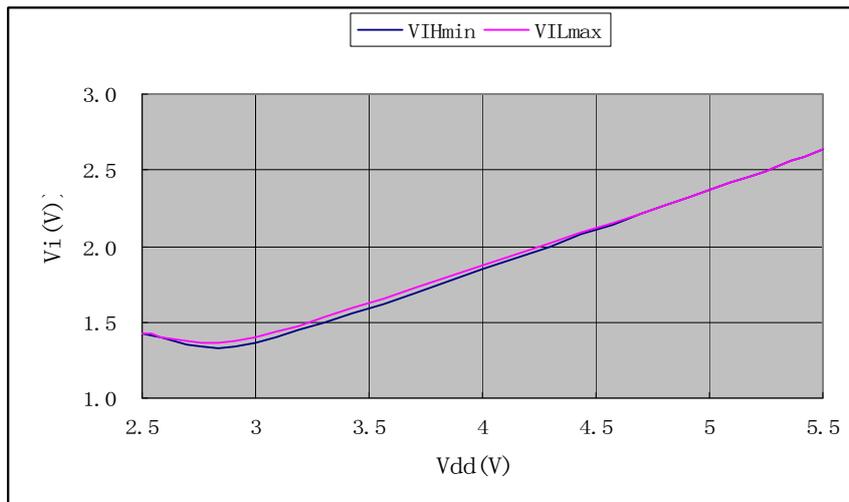
◆ 芯片静态电流随芯片电压变化特性图



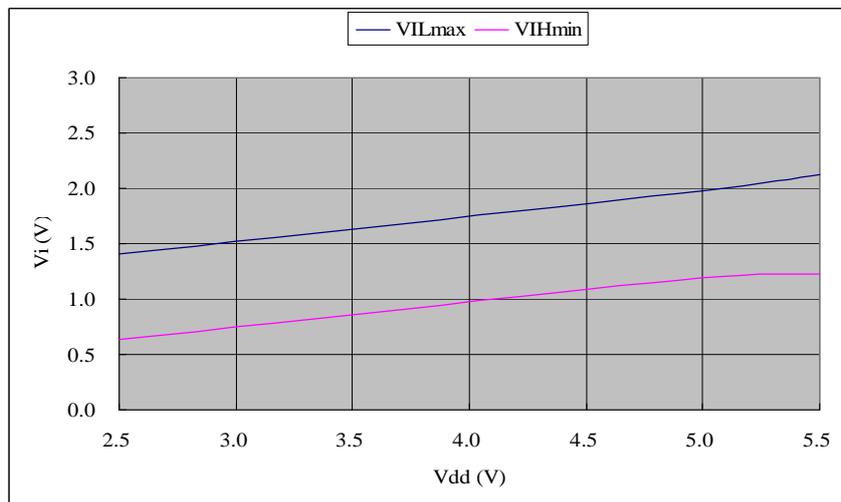
◆ 正常运行模式下芯片电流随时钟频率变化图（室温 25°C）



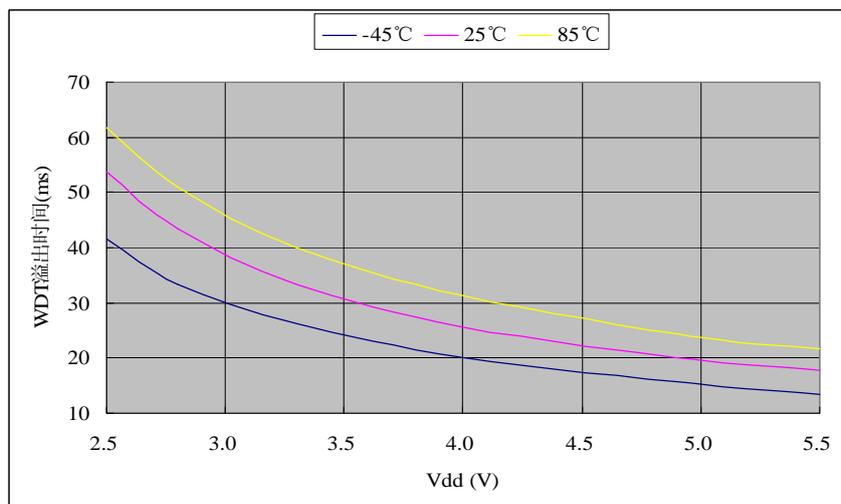
◆ 外部复位信号输入特性图（室温 25℃）



◆ I/O 端口信号输入特性图（室温 25℃）

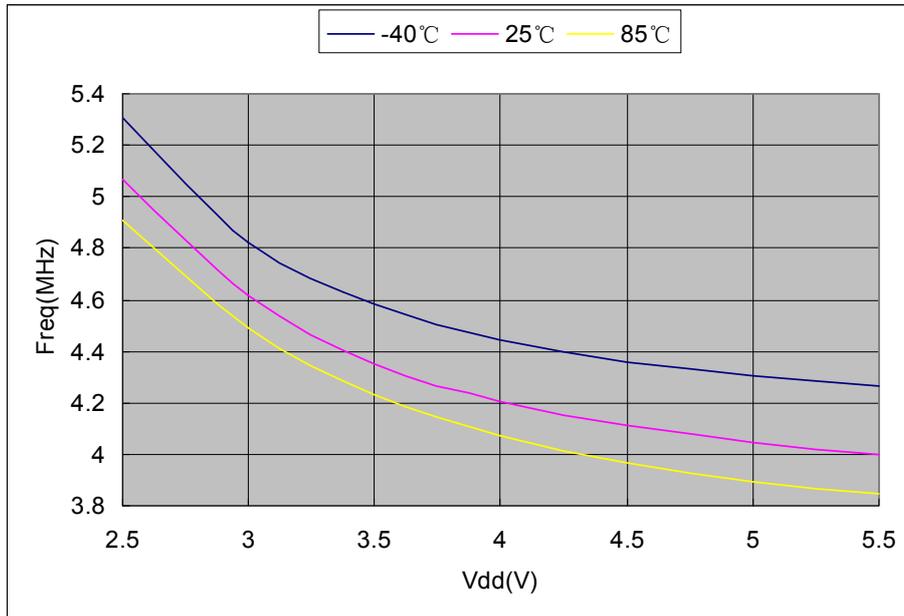


◆ WDT 溢出时间随电压温度变化曲线图

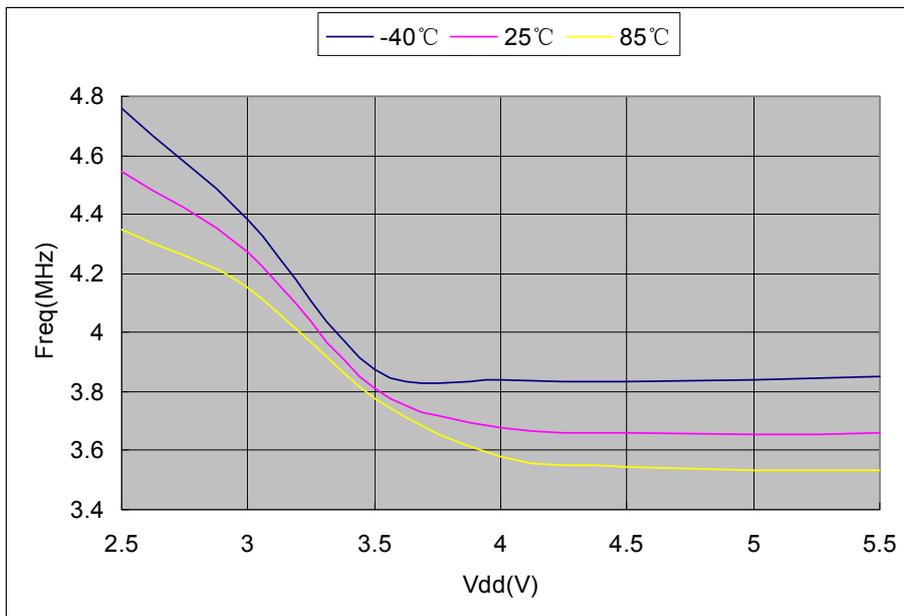


◆ 内部 4MHz 时钟频率随电压温度变化曲线图

a. 5V, 25°C 将频率校准至 4MHz

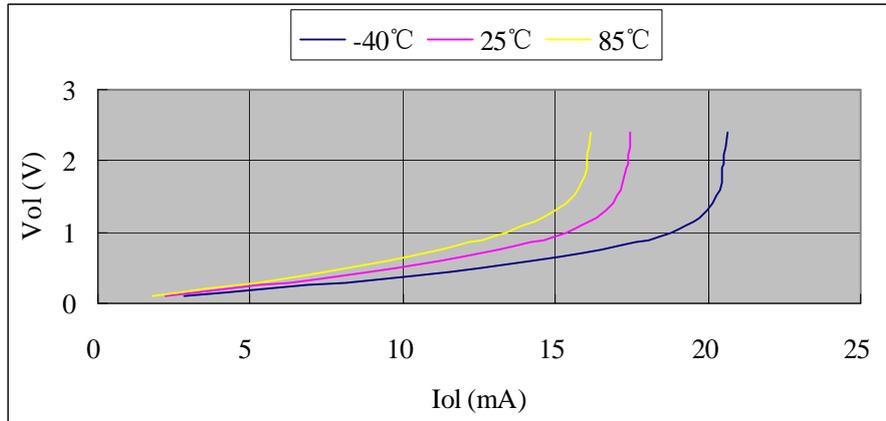


b. 3.3V, 25°C 将频率校准至 4MHz

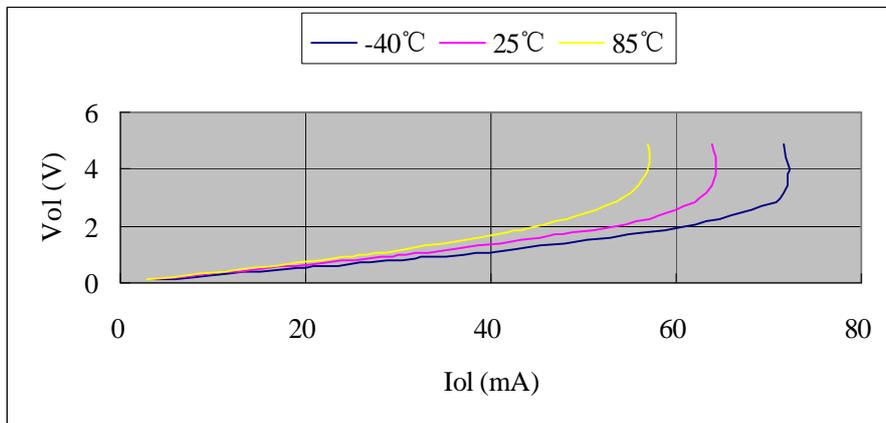


◆ I/O 端口信号输出特性图

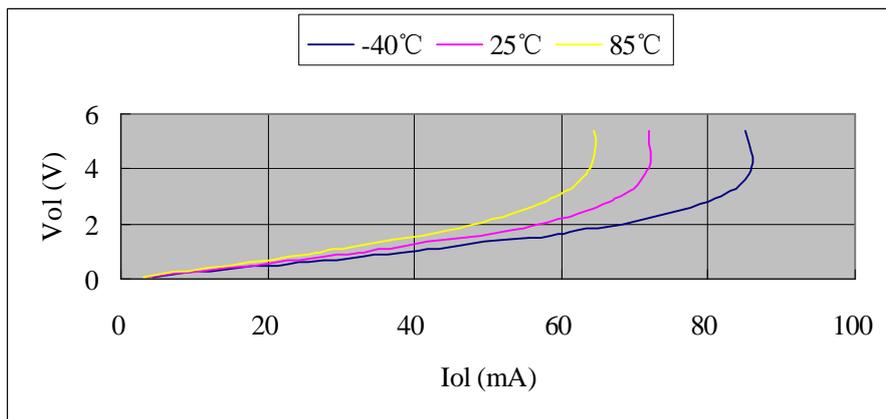
A: V_{OL} vs. I_{OL} @VDD = 2.5V



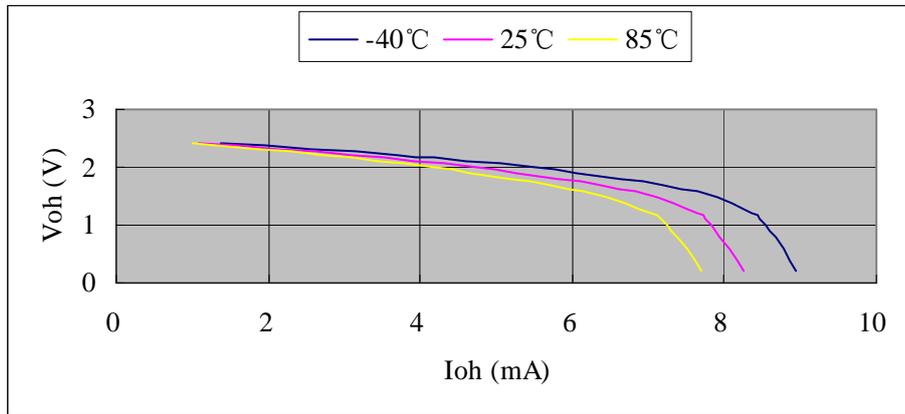
B: V_{OL} vs. I_{OL} @VDD = 5.0V



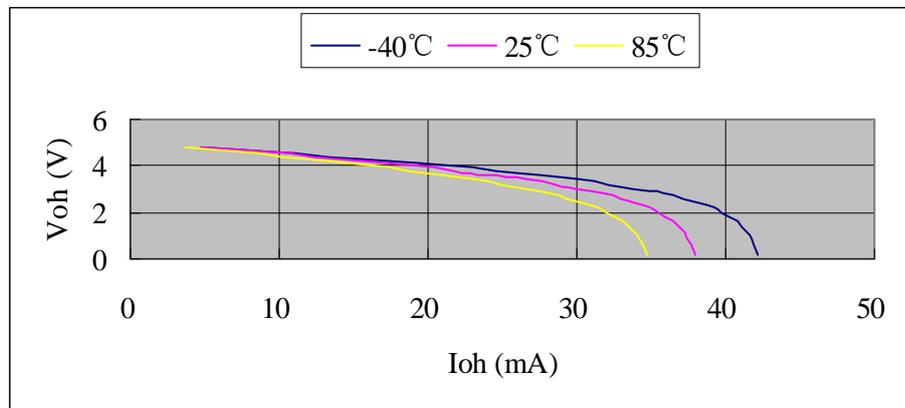
C: V_{OL} vs. I_{OL} @VDD = 5.5V



D: V_{OH} vs. I_{OH} @VDD = 2.5V



E: V_{OH} vs. I_{OH} @VDD = 5.0V



F: V_{OH} vs. I_{OH} @VDD = 5.5V

