

## Intersil 低噪声 24 位 $\Delta$ - $\Sigma$ 模数转换器

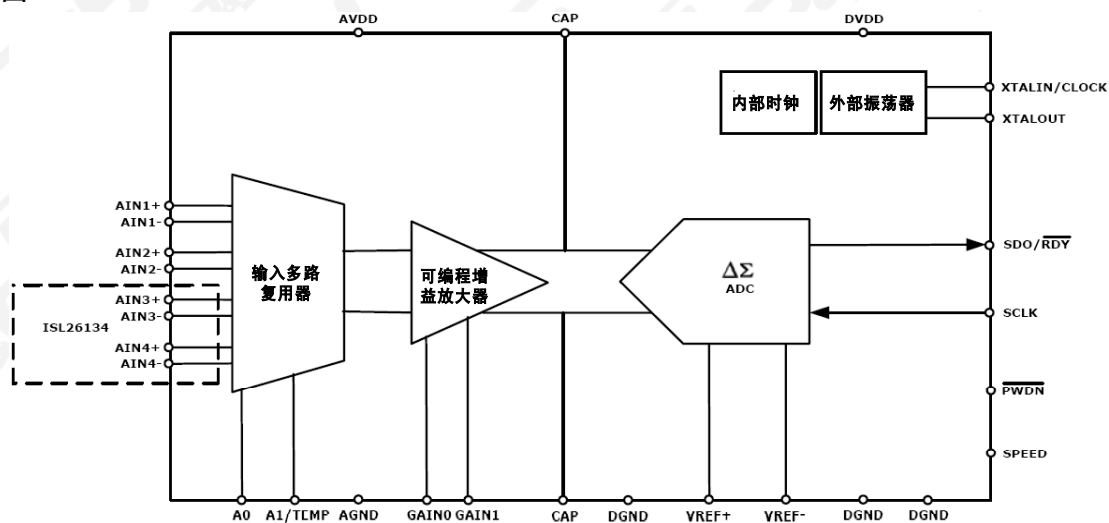
Intersil 公司新推出 ISL26132 和 ISL26134 模数转换器，适用于模拟前端高分辨率信号采集。24 位  $\Delta$ - $\Sigma$  模数转换器包含低噪声放大器和双通道 (ISL26132) 或四通道 (ISL26134) 差分多路复用模拟输入接口。低噪声放大器的增益可编程，可提供 1、2、64 和 128 倍增益设定。当设定 128 倍增益，基准电压选取 2.5V 时，可提供的输入电压范围 0~19.532mV。高输入阻抗可以与传感器直接相连，无需添加任何电路就可保证测量精度。

双通道 ISL26132 器件提供 24 引脚 TSSOP 封装，四通道 ISL26134 器件提供 28 引脚 TSSOP 封装，正常运行的环境温度范围 -40℃ 至 +105℃。

### 器件特性

- 精确至 21.6 无噪声位
- 低噪声放大器，增益 1、2、64、128 可选
- 均方根 (RMS) 噪声 10.2nV@10Sps (PGA = 128x)
- 线性误差：0.0002%FS
- 数字滤波可抑制 50Hz 和 60Hz 干扰 (@10Sps)
- 集成温度传感器 (ISL26132)
- 自动时钟源探测
- 简单串行接口，易于读取转换数据
- 4.75V~5.25V 模拟电路供电
- 2.70V~5.25V 数字电路供电
- 无铅封装 (RoHS 兼容)

### 内部框图



### 模拟信号

模拟差分输入 (AN+, AN-) 电压范围是  $\pm 0.5V_{REF}/Gain$ ，通道的选取依据 A0、A1/TEMP 引脚的设置，通道选取真值表：

通道选取引脚		模拟输入引脚选取	
A1	A0	AIN+	AIN-
0	0	AIN1+	AIN1-
0	1	AIN2+	AIN2-
1	0	AIN3+	AIN3-
1	1	AIN4+	AIN4-

无论通道选取发生变化 (A1、A0 引脚逻辑发生变化)，还是 GAIN0、GAIN1 引脚逻辑发生变化，以及 SPEED 引脚逻辑发生变化，数字逻辑都将自动重启数字滤波器，并将使 SDO/RDY 引脚回到低电平 (数

据就绪状态)。

ADC 输入模拟信号的摆幅是  $\pm 0.5V_{REF}/GAIN$ ，当基准  $V_{REF}$  为 5V，增益设定为 1 时，差分输入摆幅的峰峰值为  $5V_{P-P}$ 。注意当输入电压可超越供电轨迹 100mV 时，将开启 ESD 保护二极管，并降低测量精度。

#### 温度传感器( 仅对 ISL26132 器件)

当器件 TEMP 引脚设定为高电平时，差分输入多路器接入一对温度感应二极管。差分电压与温度的对应关系： $V = 102.2mV + (379\mu V * T(^{\circ}C)) * Gain$  当温度为 +25 $^{\circ}C$ ，增益设定为 1 时，感应的电压值大约是 111.7mV。注意该公式只对 1 倍或 2 倍增益有效。

#### 低噪声可编程增益放大器( PGA)

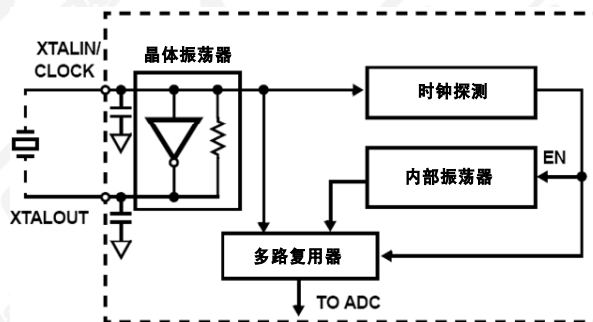
斩波稳定型可编程增益放大器拥有各种增益设置，以获取最大限度的动态范围。GAIN0 和 GAIN1 引脚允许用户设定 1、2、64 或 128 增益。

#### 电压参考输入( $V_{REF+}$ , $V_{REF-}$ )

ADC 的电压参考来自  $V_{REF+}$  和  $V_{REF-}$  引脚的电压差，即  $V_{REF} = (V_{REF+} - V_{REF-})$ 。电压参考可低至 1.5V，正确的操作是， $V_{REF+}$  引脚最大电压不能超过  $AVDD + 0.1V$ ， $V_{REF-}$  引脚负电压不能低于  $AGND - 0.1V$ 。

#### 时钟源

ADC 的工作频率来自内部的振荡器，或来自 XTALIN/CLOCK 引脚的外接时钟源，以及连接在 XTALIN/CLOCK 和 XTALOUT 引脚的晶体与内部晶体振荡器结合产生的时钟。时钟结构图：



假如 ADC 的工作频率来自内部振荡器，XTALIN/CLOCK 引脚应该接地。假如 ADC 的工作频率来自外部晶体，晶体放置的位置就需靠近器件的引脚。注意直接连接晶体即可，无需外部添加负载电容，推荐使用 4.9152MHz 晶体。另外 XTALOUT 引脚不能驱动外部电路。

#### 转换速率

SPEED 引脚设定转换速率，SPEED 等于低电平，转换速率为 10SPS；SPEED 等于高电平，转换速率为 80SPS。当提供 491,520 时钟时，需要执行 10SPS 转换速率。当提供 61,440 时钟时，需要执行 80SPS 转换速率。

#### 输出数据格式

输入模拟信号	输出编码 (Hex)
$\geq +0.5V_{REF}/GAIN$	7FFFFFFF
$(+0.5V_{REF}/GAIN)/(2^{23} - 1)$	000001
0	000000
$(-0.5V_{REF}/GAIN)/(2^{23} - 1)$	FFFFFF
$\leq -0.5V_{REF}/GAIN$	800000

### 串行数据输出

当 ADC 上电时，器件将自动开始转换。当  $\overline{SDO/RDY}$  引脚信号为低电平时，表明 ADC 转换完成。此时串行输入脉冲 SCLK 引脚，输入由低至高的上升沿脉冲时，在  $\overline{SDO/RDY}$  引脚输出转换字的最高数据位。依此由高位至低位串行输出，每位输出均在 SCLK 引脚的上升沿有效。

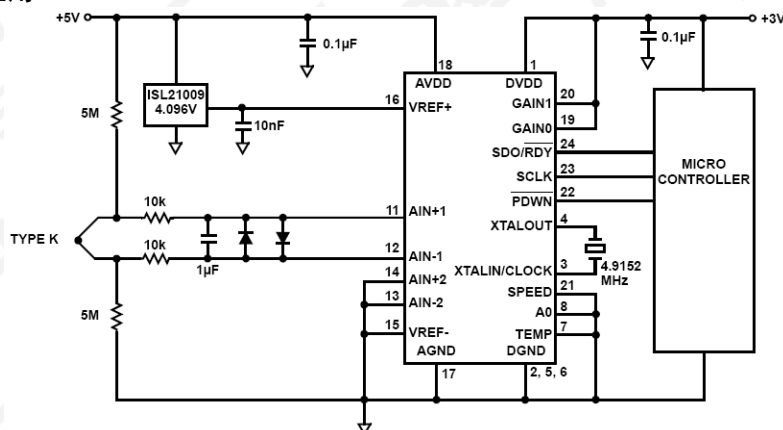
### 偏置校准控制

当完成一个转换字读取的 24 个串行时钟 SCLK 以后，向后延生 2 个串行脉冲，到第 26 个脉冲的下降沿开始启动偏置校准。当 SPEED 引脚设定为“1”时，偏置校准所需延时时间，最大值为 109ms，之后  $\overline{SDO/RDY}$  引脚回到低电平，为下一次数据采集做准备。当 SPEED 引脚设定为“0”时，偏置校准所需延时时间，最大值为 809ms，之后  $\overline{SDO/RDY}$  引脚回到低电平，表明下一次数据采集可以启动。

### 备份模式操作

当完成转换字的读取，第 24 个串行时钟 SCLK 上升沿以后，串行时钟 SCLK 维持高电平 60 $\mu$ s，器件进入备份模式操作。此时模拟供电电流降至 0.2 $\mu$ A，数字供电电流降至 1.5 $\mu$ A。当串行时钟 SCLK 回到低电平，器件回到正常操作。等待 50ms (SPEED=1) 或等待 400ms (SPEED=0)， $\overline{SDO/RDY}$  引脚回到低电平，表明下一次数据采集可以启动。

### 热电偶测量的典型应用



基准电源选取 4.096V，结合可编程增益设置 128 倍，模拟输入摆幅为  $\pm 16mV$ 。当可编程增益设置 64 倍时，模拟输入摆幅可增至  $\pm 32mV$ 。

### 参考数据手册

<http://www.intersil.com/data/fn/fn6954.pdf>

### 评估板资料

<http://www.intersil.com/data/an/an1672.pdf>