

8 位 MCU  
HR7P187

# 数 据 手 册

产品简介

数据手册

产品规格

上海海尔集成电路有限公司

2012 年 9 月 19 日

## 海尔 MCU 芯片使用注意事项

### 关于芯片的上/下电

海尔 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其它部件上电；反之，下电时，先对系统其它部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

### 关于芯片的复位

海尔 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其它保护电路。具体可参照芯片的数据手册说明。

### 关于芯片的时钟

海尔 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

### 关于芯片的初始化

海尔 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

### 关于芯片的管脚

海尔 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在  $V_{IHMIN}$  之上，低电平应在  $V_{ILMAX}$  之下。避免输入电压介于  $V_{IHMIN}$  和  $V_{ILMAX}$  之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

### 关于芯片的 ESD 防护措施

海尔 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

### 关于芯片的 EFT 防护措施

海尔 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

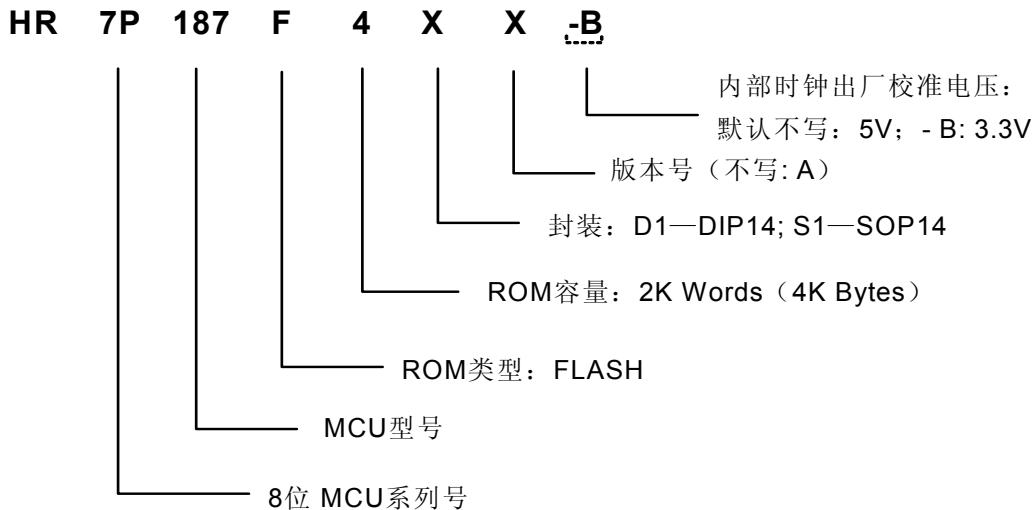
### 关于芯片的开发环境

海尔 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海海尔集成电路有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海海尔集成电路有限公司联系。

## 产品订购信息

型号	程序存储器	数据存储器	封装
HR7P187F4D1	FLASH: 2K Words	SRAM: 176 Bytes EEPROM: 256 Bytes	DIP14
HR7P187F4S1	HR7P187F4S1-B		SOP14



地址: 中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编: 200235

E-mail: support@ichaier.com

电 话: +86-21-60910333

传 真: +86-21-60914991

网 址: <http://www.ichaier.com>

版权所有©

上海海尔集成电路有限公司

本数据手册的信息在发行时是经过核实并且尽最大努力使之精确的。上海海尔集成电路有限公司不为由于使用本数据手册而可能带来的风险或后果负责。手册中的实例仅作为说明用途, 上海海尔集成电路有限公司不担保或确认这些实例是合适的、不需进一步修改的、或推荐使用的。上海海尔集成电路有限公司保留不需要通知本数据手册读者而修改自己产品的权利。如需得到最新的产品信息, 请随时用上述联系方式与上海海尔集成电路有限公司联系。

## 修订历史

版本	修改日期	更改概要
V1.0	2010-08-02	预发行版
V2.0	2011-03-11	添加内部时钟电气特性及部分补充说明
V2.1	2011-04-26	加强描述: 3.2.3, 5.1.4, 6.1.3, 6.5.1, 6.5.2, 附录 1.1, 附录 2.1, 附录 2.2 错误修正: 2.1, 2.2, 4.3, 5.1.1.1, 5.1.1.2, 5.1.2.1, 5.1.2.2, 5.4.3, 附录 1.3, 附录 1.4
V2.2	2012-01-16	加强描述: 1.1, 6.1.4, 6.4, 6.5.2, 附录 1.2, 附录 2.1, 附录 2.2, 产品订购信息, 寄存器名称 更新
V2.3	2012-9-19	修正描述端口弱上拉配置 4.4

## 目 录

## 内容目录

<b>第 1 章</b>	<b>芯片简介</b>	<b>10</b>
1.1	概述	10
1.2	应用领域	11
1.3	结构框图	12
1.4	管脚分配图	13
1.4.1	14-pin	13
1.5	管脚说明	14
1.5.1	管脚封装对照表	14
1.5.2	管脚复用说明	15
<b>第 2 章</b>	<b>内核特性</b>	<b>17</b>
2.1	CPU内核概述	17
2.2	系统时钟和机器周期	17
2.3	指令集概述	17
2.4	程序计数器（PC）和程序堆栈	18
2.4.1	程序计数器（PC）	18
2.4.2	程序堆栈	19
2.5	特殊功能寄存器	19
<b>第 3 章</b>	<b>存储资源</b>	<b>21</b>
3.1	程序存储器	21
3.1.1	概述	21
3.1.2	程序指针PC直接寻址	21
3.2	数据存储器	22
3.2.1	数据存储器地址映射	22
3.2.2	特殊功能寄存器空间	23
3.2.3	寻址方式	25
3.2.4	通用数据存储器	25
3.2.5	EEPROM数据存储器	26
3.2.5.1	概述	26
3.2.5.2	EEPROM写操作	26
3.2.5.3	EEPROM读操作	28
3.3	特殊功能寄存器	28
<b>第 4 章</b>	<b>输入/输出端口</b>	<b>30</b>
4.1	概述	30
4.2	结构框图	31
4.3	I/O MUX	32
4.4	I/O端口弱上拉	33
4.5	外部中断	34
4.5.1	外部端口中断（PINT）	34
4.5.2	外部按键中断（KINT）	34
4.6	特殊功能寄存器	35
<b>第 5 章</b>	<b>外设</b>	<b>36</b>

5.1	定时器/计数器模块 (Timer/Counter) .....	36
5.1.1	8位定时器/计数器 (T8N) .....	36
5.1.1.1	概述 .....	36
5.1.1.2	定时器模式和计数器模式 .....	36
5.1.1.3	预分频器 .....	36
5.1.1.4	中断标志 .....	37
5.1.2	8位PWM时基定时器 (T8P) .....	37
5.1.2.1	概述 .....	37
5.1.2.2	定时器模式 .....	37
5.1.2.3	预分频器和后分频器 .....	37
5.1.2.4	中断标志 .....	37
5.1.3	门控型 16位定时器/计数器 (T16G) .....	38
5.1.3.1	概述 .....	38
5.1.3.2	工作模式 .....	39
5.1.3.3	门控设计 .....	39
5.1.3.4	振荡器 .....	40
5.1.4	定时器/计数器扩展模块 (TE) .....	40
5.1.4.1	概述 .....	40
5.1.4.2	TE配置及管脚分配表 .....	40
5.1.4.3	T16G捕捉器功能扩展 .....	40
5.1.4.4	T16G比较器功能扩展 .....	41
5.1.4.5	T8P脉宽调制功能扩展 .....	42
5.1.5	特殊功能寄存器 .....	44
5.2	模拟比较器 (ACP) .....	47
5.2.1	概述 .....	47
5.2.2	特殊功能寄存器 .....	48
5.3	参考电压模块 .....	50
5.3.1	概述 .....	50
5.3.2	操作说明 .....	50
5.3.3	特殊功能寄存器 .....	51
5.4	模/数转换器模块 (ADC) .....	52
5.4.1	概述 .....	52
5.4.2	操作说明 .....	52
5.4.3	特殊功能寄存器 .....	53
<b>第 6 章</b>	<b>特殊功能及操作特性 .....</b>	<b>55</b>
6.1	系统时钟 .....	55
6.1.1	概述 .....	55
6.1.2	外部时钟 .....	55
6.1.2.1	外部EXTCLK灌时钟模式 .....	55
6.1.2.2	外部RC模式 .....	56
6.1.2.3	外部LP、XT和HS模式 .....	57
6.1.3	内部时钟 .....	57
6.1.4	特殊功能寄存器 .....	58
6.2	复位模块 .....	59

6.2.1	概述	59
6.2.2	应用举例	60
6.2.3	特殊功能寄存器	61
6.3	中断处理	62
6.3.1	概述	62
6.3.2	中断使能表	62
6.3.3	默认中断模式	63
6.3.4	向量中断模式	63
6.3.4.1	中断向量分组	63
6.3.4.2	中断向量分配表	63
6.3.4.3	中断优先级仲裁	64
6.3.5	其它操作说明	64
6.3.6	特殊功能寄存器	65
6.4	看门狗定时器	69
6.5	低功耗操作	70
6.5.1	低功耗模式	70
6.5.2	唤醒	71
6.5.2.1	唤醒方式	71
6.5.2.2	唤醒时间设置	71
6.5.3	特殊功能寄存器	71
6.6	芯片配置字	72
<b>第 7 章</b>	<b>芯片封装图</b>	<b>73</b>
7.1	14-pin 封装图	73
<b>附录 1</b>	<b>指令集</b>	<b>75</b>
附录 1.1	概述	75
附录 1.2	寄存器操作指令	75
附录 1.3	算术/逻辑运算指令	76
附录 1.4	程序控制指令	77
<b>附录 2</b>	<b>电气特性</b>	<b>78</b>
附录 2.1	参数特性表	78
附录 2.2	参数特性图	82

## 图目录

图 1-1	HR7P187 结构框图	12
图 1-2	HR7P187 (DIP14/SOP14) 顶视图	13
图 3-1	FLASH访问控制器结构图	21
图 3-2	程序指针PC直接寻址示意图	21
图 3-3	通用数据存储空间地址映射示意图	22
图 3-4	写EEPROM操作流程图 (查询方式)	26
图 3-5	写EEPROM操作流程图 (中断方式)	27
图 3-6	读EEPROM操作流程图	28
图 4-1	输入/输出端口结构图A	31
图 4-2	输入/输出端口结构图B	31
图 4-3	输入端口结构图C	31
图 5-1	T8N内部结构图	36
图 5-2	T8P内部结构图	37
图 5-3	T16G内部结构图	38
图 5-4	T16G定时器门控计数	39
图 5-5	TE在捕捉器功能扩展的内部结构图	41
图 5-6	TE在比较器功能扩展的内部结构图	41
图 5-7	TE在PWM功能扩展的内部结构图	42
图 5-8	PWM输出示意图	42
图 5-9	模拟比较器示意图	47
图 5-10	参考电压框图	50
图 5-11	ADC内部结构图	52
图 5-12	ADC时序特征图	53
图 6-1	芯片系统时钟选择框图	55
图 6-2	EXTCLK外灌时钟输入模式参考图	55
图 6-3	RCIO振荡器模式等效电路图及外围参考图	56
图 6-4	RC振荡器模式等效电路图及外围参考图	56
图 6-5	晶体/陶瓷振荡器模式 (HS、XT、LP模式)	57
图 6-6	芯片复位原理图	59
图 6-7	RC复位电路	60
图 6-8	三极管复位电路	60
图 6-9	中断控制逻辑	62
图 6-10	看门狗定时器示意图	69

## 表目录

表 1-1	管脚封装对照表	14
表 1-2	管脚说明	16
表 4-1	I/O端口结构信息表	31
表 4-2	I/O端口弱上拉功能分布表	33
表 4-3	外部端口中断	34
表 4-4	外部按键中断	34
表 5-1	TE配置及管脚分配表	40
表 6-1	外部RC模式推荐参数	56
表 6-2	晶体振荡器电容参数参考表	57
表 6-3	中断使能表（默认中断模式）	62
表 6-4	中断使能表（向量中断模式）	62
表 6-5	中断向量分组表	63
表 6-6	中断向量分配表	63
表 6-7	低功耗唤醒表	71

## 第1章 芯片简介

### 1.1 概述

- ◆ 内核
  - ◇ 高性能哈佛型 RISC CPU 内核
  - ◇ 66 条精简指令
  - ◇ 工作频率最高为 16MHz
  - ◇ 8 级 PC 硬件堆栈
  - ◇ 复位向量位于  $000_H$ , 默认中断向量位于  $004_H$ , 支持中断优先级和向量表
  - ◇ 支持中断处理, 共 10 个中断源
- ◆ 存储资源
  - ◇ 2K Words FLASH 程序存储器
  - ◇ 176 Bytes SRAM 数据存储器
  - ◇ 256 Bytes EEPROM 数据存储器
  - ◇ 程序存储器支持直接寻址
  - ◇ 数据存储器支持直接寻址和间接寻址
- ◆ I/O 端口
  - ◇ PA 端口 (PA0~PA5)
  - ◇ PC 端口 (PC0~PC5)
  - ◇ 支持 1 个外部端口中断 (PINT)
  - ◇ 支持 1 个 6 输入端外部按键中断 KINT (KIN0~KIN5 为输入端)
- ◆ 外设
  - ◇ 8 位定时器 T8N
    - 定时器模式 (系统时钟) /计数器模式 (外部计数时钟输入)
    - 支持可配置预分频器
    - 支持中断产生
  - ◇ 8 位 PWM 时基定时器 T8P
    - 定时器模式 (系统时钟)
    - 支持可配置预分频器及可配后分频器
    - 支持中断产生
    - 支持脉宽调制 (PWM) 输出扩展功能
  - ◇ 门控型 16 位定时器 T16G
    - 定时器模式 (系统时钟) /计数器模式 (外部计数时钟输入)
    - 支持可配置预分频器
    - 支持门控定时/计数
    - 支持中断产生
    - 支持捕捉器扩展功能
    - 支持比较器扩展功能

## ◇ 模拟数字转换器 ADC

- 支持 10 位数字转换精度
- 支持 8 通道模拟输入端
- 支持内部 ADC RC 时钟源
- 支持中断产生

## ◇ 模拟比较器 ACP 和参考电压模块

- 支持 1 个模拟比较器
- 支持 1 个参考电压模块, 可编程设置
- 支持中断产生

## ◆ 特殊功能

## ◇ 内部 8MHz 时钟

- 可分频, 最低可分频至 125K
- 在出厂前, 芯片已经在常温 25°C, 工作电压 3.3V 或 5V 条件下校准, 校准精度为  $\pm 2\%$

## ◇ 支持两种低功耗模式, IDLE0 模式, IDLE1 模式及唤醒操作

## ◇ 内嵌上电复位电路

## ◇ 内嵌低电压检测复位电路

## ◇ 支持外部复位

## ◇ 支持看门狗定时器

- 支持预分频器
- 支持内部看门狗 RC 时钟源
- 支持 IDLE0 模式或者 IDLE1 模式唤醒

## ◇ 支持在线编程 (ISP) 接口

## ◇ 支持编程代码加密保护

## ◇ 支持在线调试 (ICD) 功能

## ◆ 设计及工艺

## ◇ 低功耗、FLASH CMOS 工艺

- 数据保持时间: >10 年
- 可擦写次数: >100,000 次

## ◇ 14 个管脚, 采用 DIP/SOP 封装

## ◇ 10 个管脚, 采用 SSOP 封装

## ◆ 工作条件

## ◇ 工作电压范围: 3.0V ~ 5.5V

## ◇ 工作温度范围: -40 ~ 85°C

## 1.2 应用领域

本芯片可用于小家电、安防和打印机等领域。

### 1.3 结构框图

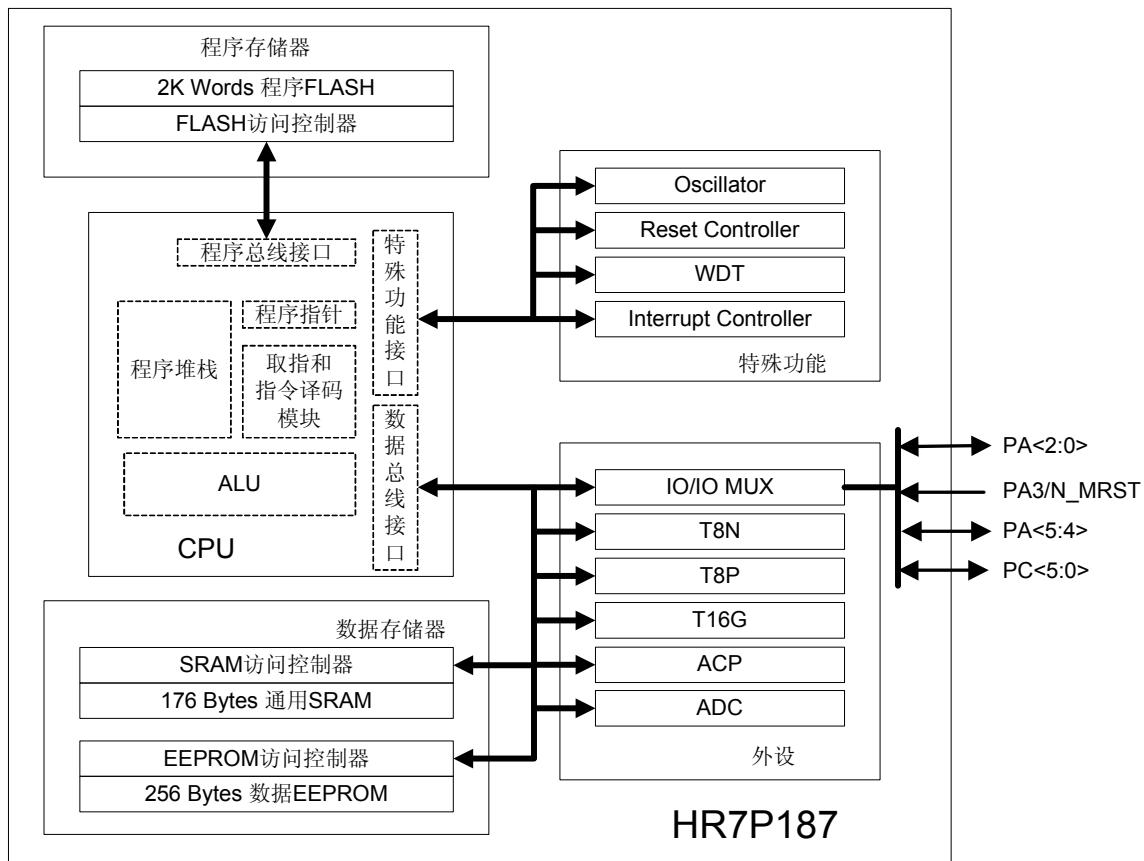


图1-1 HR7P187 结构框图

注: N\_MRST 表示低电平有效; PA3 仅复用为输入口。

## 1.4 管脚分配图

### 1.4.1 14-pin

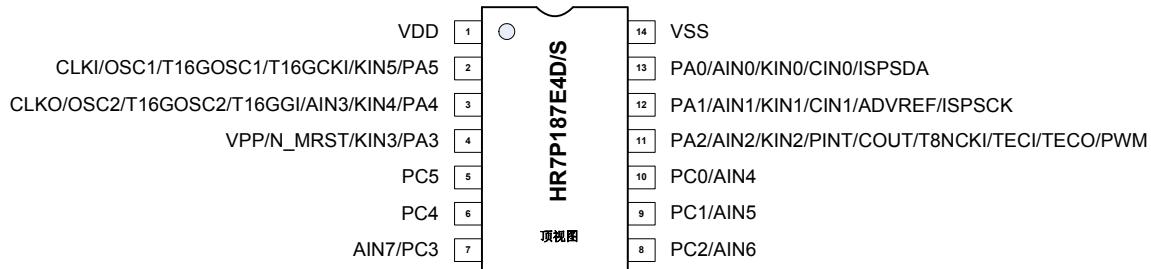


图 1-2 HR7P187 (DIP14/SOP14) 顶视图

## 1.5 管脚说明

### 1.5.1 管脚封装对照表

管脚名	DIP14/SOP14
PA0/AIN0/KIN0/CIN0/ISPSDA	13
PA1/AIN1/KIN1/CIN1/ADVREF/ISPSCK	12
PA2/AIN2/KIN2/PINT/COUT/T8NCKI/TECI/TECO/PWM	11
PA3/KIN3/N_MRST/VPP	4
PA4/AIN3/KIN4/T16GGI/T16GOSC2/OSC2/CLKO	3
PA5/KIN5/T16GCKI/T16GOSC1/OSC1/CLKI	2
PC0/AIN4	10
PC1/AIN5	9
PC2/AIN6	8
PC3/AIN7	7
PC4	6
PC5	5
VDD	1
VSS	14

表 1-1 管脚封装对照表

## 1.5.2 管脚复用说明

管脚名	管脚复用	A/D	端口说明	备注
PA0/AIN0/KIN0/CIN0/ISPSDA	PA0	D	通用 I/O	可使能弱上拉
	AIN0	A	ADC 模拟通道 0 输入	
	KIN0	D	外部按键中断输入 0	
	CIN0	A	模拟比较器输入 0	
	ISPSDA	D	串行编程数据输入	
PA1/AIN1/KIN1/CIN1/ADVRE F/ISPSCK	PA1	D	通用 I/O	可使能弱上拉
	AIN1	A	ADC 模拟通道 1 输入	
	KIN1	D	外部按键中断输入 1	
	CIN1	A	模拟比较器输入 1	
	ADVREF	A	ADC 参考电压输入	
	ISPSCK	D	串行编程时钟输入	
PA2/AIN2/KIN2/PINT/COUT/ T8NCKI/TECI/TECO/PWM	PA2	D	通用 I/O	可使能弱上拉
	AIN2	A	ADC 模拟通道 2 输入	
	KIN2	D	外部按键中断输入 2	
	PINT	D	外部端口中断输入	
	COUT	D	模拟比较器输出	
	T8NCKI	D	T8N 时钟输入	
	TECI	D	TE 捕捉输入	
	TECO	D	TE 比较输出	
	PWM	D	脉宽调制输入	
PA3/KIN3/N_MRST/VPP	PA3	D	通用输入	-
	KIN3	D	外部按键中断输入 3	
	N_MRST	-	主复位输入	
	VPP	A	编程模式高电压输入	
PA4/KIN4/T16GGI/OSC2/ CLKO/T16GOSC2	PA4	D	通用 I/O	可使能弱上拉
	AIN3	A	ADC 模拟通道 3 输入	
	KIN4	D	外部按键中断输入 4	
	T16GGI	D	T16G 门控输入	
	T16GOSC2	A	T16G 晶振输出	
	OSC2	A	晶振/谐振器输出	
	CLKO	D	内部 FOSC/4 输出	
PA5/KIN5/T16GCKI/OSC1/ CLKI/T16GOSC1	PA5	D	通用 I/O	可使能弱上拉
	KIN5	D	外部按键中断输入 5	
	T16GCKI	D	T16G 时钟输入	
	T16GOSC1	A	T16G 晶振输入	
	OSC1	A	晶振/谐振器输入	
	CLKI	A/D	外部时钟源输入	

【续】

管脚名	管脚复用	A/D	端口说明	备注
PC0/AIN4	PC0	D	通用 I/O	-
	AIN4	A	ADC 模拟通道 4 输入	
PC1/AIN5	PC1	D	通用 I/O	-
	AIN5	A	ADC 模拟通道 5 输入	
PC2/AIN6	PC2	D	通用 I/O	-
	AIN6	A	ADC 模拟通道 6 输入	
PC3/AIN7	PC3	D	通用 I/O	-
	AIN7	A	ADC 模拟通道 7 输入	
PC4	PC4	D	通用 I/O	-
PC5	PC5	D	通用 I/O	-
VDD	VDD	-	电源	-
VSS	VSS	-	地, 0V 参考点	-

表 1-2 管脚说明

注 1: A = 模拟, D = 数字;

注 2: N\_MRST 表示低电平有效;

注 3: 除 PA3, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动。PA3 为 TTL 输入。

## 第 2 章 内核特性

### 2.1 CPU 内核概述

#### ◆ 内核特性

- ◇ 高性能哈佛型 RISC CPU 内核
- ◇ 66 条精简指令，指令长度 15 位
- ◇ 工作频率最高为 16MHz
- ◇ 程序存储器支持直接寻址
- ◇ 数据存储器支持直接寻址和间接寻址
- ◇ 复位向量位于  $000_H$ ，默认中断向量位于  $004_H$ ，支持中断优先级和向量表
- ◇ 支持中断处理，共 10 个中断源

### 2.2 系统时钟和机器周期

本芯片系统时钟频率最高支持 16MHz。通过片内时钟生成器，产生四个不重叠的正交时钟 phase1 (p1), phase2 (p2), phase3 (p3) 和 phase4 (p4)。四个不重叠的正交时钟组成一个机器周期。

### 2.3 指令集概述

本芯片采用 HR7P 系列 66 条精简指令集系统。

除了部分满足条件跳转与控制程序流程的指令需要 2 个机器周期来完成，其它指令的执行都是在一个机器周期中完成。4 个系统时钟振荡周期为一个机器周期，若芯片系统时钟频率为 4MHz，一个机器周期的时间为 1μs。

具体指令集请参考《附录 指令集》。

## 2.4 程序计数器 (PC) 和程序堆栈

### 2.4.1 程序计数器 (PC)

本芯片支持 11 位程序计数器 (PC)，最大可寻址 2K 程序存储空间，超出地址范围会导致 PC 循环。

芯片复位后，PC 指向 000<sub>H</sub>。产生中断后，PC 会根据不同的中断向量模式指向相应的中断向量入口地址。

11 位的程序计数器 PC<10:0>，其中 PC<7:0>可通过 PCRL 寄存器直接读写，而 PC<10:8>不能直接读写，只能通过 PCRH<2:0>寄存器来间接赋值。复位时，PCRL、PCRH 寄存器和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 寄存器的值。

下面是执行各种指令时，PC 值的变化情况：

- ◇ 通过指令直接修改 PC 值时，对 PCRL 寄存器的赋值操作可直接修改 PC<7:0>，即 PC<7:0> = PCRL<7:0>；同时 PC<10:8> = PCRH<2:0>。因此，修改 PC 值时，应先修改 PCRH<2:0>寄存器的值，再修改 PCRL<7:0>寄存器的值；
- ◇ 执行以 PCRL 为目标寄存器的指令时，写入 PCRL 寄存器的值为 8 位的运算结果，PC 值的高字节从 PCRH<2:0>寄存器装入；
- ◇ 执行 CALL, GOTO 指令时，PC 值 11 位由指令码中的 11 位立即数（操作数）提供；
- ◇ 执行其它指令时，PC 值自动加 1。

注：芯片程序空间为 2K，地址范围为 000<sub>H</sub> ~ 7FF<sub>H</sub>，具体请参考产品订购信息。

### 应用例程：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH      ; 设置表格页面地址
MOVI    tableaddr ; 设置偏移量给 A 寄存器
CALL    TABLE     ; 调用子程序方式查表
.....
TABLE
ADD     PCRL      ; PC 加上偏移量，指向访问的地址
RETIA   0X01
RETIA   0X02
RETIA   0X03
.....

```

## 2.4.2 程序堆栈

芯片内有 8 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作，即程序堆栈只保存最近的 8 次连续压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据会覆盖第一次压栈的数据，使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。

## 2.5 特殊功能寄存器

选择寄存器 (BSET)			
寄存器名称	地址	复位值	
PS<2:0>	81 <sub>H</sub>	1111 1111	<b>T8N/WDT 分频比选择位</b> 000: 1:2 001: 1:4 010: 1:8 011: 1:16 100: 1:32 101: 1:64 110: 1:128 111: 1:256
PSA	bit3	R/W	<b>预分频器选择位</b> 0: 预分频器用于 T8N 1: 预分频器用于 WDT
T8NSE	bit4	R/W	<b>T8N 时钟沿选择位</b> 0: T8NCKI 上升沿计数 1: T8NCKI 下降沿计数
T8NCS	bit5	R/W	<b>T8N 时钟源选择位</b> 0: 内部系统时钟 4 分频 Fosc/4 1: T8NCKI 外部时钟输入
PEG	bit6	R/W	<b>PINT 中断信号触发边沿选择位</b> 0: PINT 端口的下降沿触发 1: PINT 端口的上升沿触发
N_PUEN	bit7	R/W	<b>PA 口弱上拉使能位</b> 0: 使能 PA 口弱上拉 1: 不使能 PA 口弱上拉

程序状态字寄存器 (PSW)			
地址	03 <sub>H</sub> 83 <sub>H</sub>		
复位值	0001 1xxx		
C	bit0	R/W	<b>全进位/全借位</b> 0: 无进位或有借位 1: 有进位或无借位
DC	bit1	R/W	<b>半进位/半借位</b> 0: 低四位无进位或低四位有借位 1: 低四位有进位或低四位无借位
Z	bit2	R/W	<b>零标志位</b> 0: 算术或逻辑运算的结果不为零 1: 算术或逻辑运算的结果为零
N_PD	bit3	R	<b>低功耗标志位</b> 0: 执行 IDLE 指令后被清零 1: 上电复位或执行 CWDW 指令后被置 1
N_TO	bit4	R	<b>WDT 定时时间到标志位</b> 0: WDT 计数溢出后被清零 1: 上电复位或执行 CWDW、IDLE 指令后被置 1
RP0	bit5	R	<b>直接寻址寄存器区选址位</b> 0: 选择存储体组 0 1: 选择存储体组 1
-	bit7-6	-	-

## 第3章 存储资源

### 3.1 程序存储器

#### 3.1.1 概述

程序存储器为 2K Words FLASH, 实际地址范围  $000_H \sim 7FF_H$

寻址超出地址范围就会导致 PC 循环。

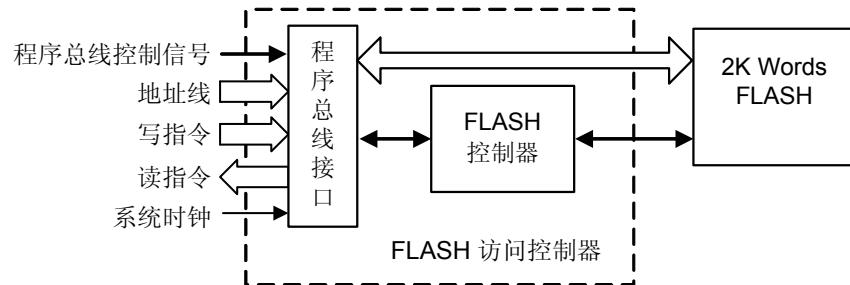


图3-1 FLASH访问控制器结构图

#### 3.1.2 程序指针PC直接寻址

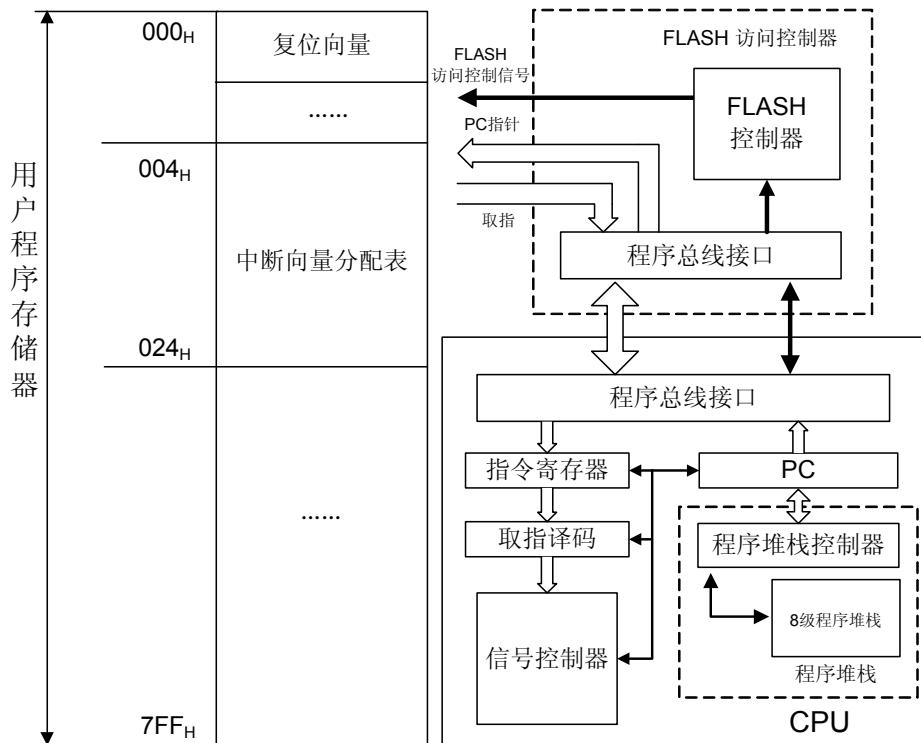


图3-2 程序指针 PC 直接寻址示意图

## 3.2 数据存储器

### 3.2.1 数据存储器地址映射

数据存储器由特殊功能寄存器和通用数据寄存器构成,可分为2个存储体组(存储体组0~1)。存储体组0由特殊功能寄存器空间0和通用数据寄存器空间0构成,存储体组1由特殊功能寄存器空间1和通用数据寄存器空间1构成。

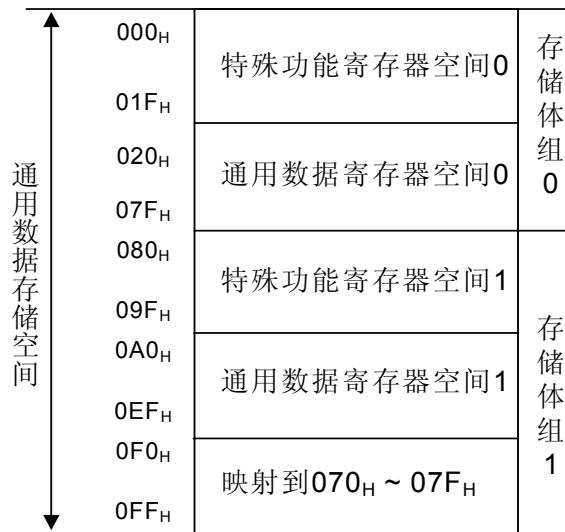


图 3-3 通用数据存储空间地址映射示意图

### 3.2.2 特殊功能寄存器空间

特殊功能寄存器主要由特殊功能寄存器空间 0 ~ 1 构成, 具体特殊功能寄存器的地址映射, 请参考下面表格:

特殊功能寄存器空间 0:

地址	寄存器名称	寄存器说明
00 <sub>H</sub>	IAD	间接寻址数据寄存器
01 <sub>H</sub>	T8N	T8N 寄存器
02 <sub>H</sub>	PCRL	低 8 位程序计数器
03 <sub>H</sub>	PSW	程序状态字寄存器
04 <sub>H</sub>	IAA	间接寻址地址寄存器
05 <sub>H</sub>	PA	PA 端口电平状态寄存器
06 <sub>H</sub>	-	-
07 <sub>H</sub>	PC	PC 端口电平状态寄存器
08 <sub>H</sub>	-	-
09 <sub>H</sub>	-	-
0A <sub>H</sub>	PCRH	高 8 位程序计数器
0B <sub>H</sub>	INTC0	中断控制寄存器 0
0C <sub>H</sub>	INTF	中断标志寄存器
0D <sub>H</sub>	-	-
0E <sub>H</sub>	T16GL	低 8 位 T16G 计数器
0F <sub>H</sub>	T16GH	高 8 位 T16G 计数器
10 <sub>H</sub>	T16GC	T16G 控制寄存器
11 <sub>H</sub>	T8P	T8P 寄存器
12 <sub>H</sub>	T8PC	T8P 控制寄存器
13 <sub>H</sub>	TEL	低 8 位 TE 缓冲寄存器
14 <sub>H</sub>	TEH	高 8 位 TE 缓冲寄存器
15 <sub>H</sub>	TEC	TE 控制寄存器
16 <sub>H</sub>	-	-
17 <sub>H</sub>	-	-
18 <sub>H</sub>	-	-
19 <sub>H</sub>	ACPC0	模拟比较器控制寄存器 0
1A <sub>H</sub>	ACPC1	模拟比较器控制寄存器 1
1B <sub>H</sub>	WKDC	唤醒延时计数器
1C <sub>H</sub>	-	-
1D <sub>H</sub>	ADCC2	ADC 控制寄存器 2
1E <sub>H</sub>	ADCRH	高 8 位 ADC 转换值寄存器
1F <sub>H</sub>	ADCC0	ADC 控制寄存器 0

## 特殊功能寄存器空间 1:

地址	寄存器名称	功能说明
80 <sub>H</sub>	IAD	间接寻址数据寄存器
81 <sub>H</sub>	BSET	选择寄存器
82 <sub>H</sub>	PCRL	低 8 位程序计数器
83 <sub>H</sub>	PSW	程序状态字寄存器
84 <sub>H</sub>	IAA	间接寻址地址寄存器
85 <sub>H</sub>	PAT	PA 端口输入输出控制寄存器
86 <sub>H</sub>	-	-
87 <sub>H</sub>	PCT	PC 端口输入输出控制寄存器
88 <sub>H</sub>	-	-
89 <sub>H</sub>	-	-
8A <sub>H</sub>	PCRH	高 8 位程序计数器
8B <sub>H</sub>	INTC0	中断控制寄存器 0
8C <sub>H</sub>	INTE	中断使能寄存器
8D <sub>H</sub>	-	-
8E <sub>H</sub>	PWRC	电源状态控制寄存器
8F <sub>H</sub>	OSCC	时钟控制寄存器
90 <sub>H</sub>	CALR	时钟校准寄存器
91 <sub>H</sub>	-	-
92 <sub>H</sub>	T8PP	T8P 周期寄存器
93 <sub>H</sub>	INTC1	中断控制寄存器 1
94 <sub>H</sub>	INTP	中断优先级设置寄存器
95 <sub>H</sub>	N_PAPU	PA 端口弱上拉控制寄存器
96 <sub>H</sub>	KMSK	按键屏蔽控制寄存器
97 <sub>H</sub>	-	-
98 <sub>H</sub>	-	-
99 <sub>H</sub>	VRC	参考电压控制寄存器
9A <sub>H</sub>	EEDAT	EEPROM 访问数据寄存器
9B <sub>H</sub>	EEADDR	EEPROM 访问地址寄存器
9C <sub>H</sub>	EEC0	EEPROM 访问控制寄存器 0
9D <sub>H</sub>	EEC1	EEPROM 访问控制寄存器 1
9E <sub>H</sub>	ADCRL	低 8 位 ADC 转换值寄存器
9F <sub>H</sub>	ADCC1	ADC 控制寄存器 1

### 3.2.3 寻址方式

本芯片的数据存储器由特殊功能寄存器和通用数据存储器组成。

数据存储器有 **256 Bytes** 的寻址空间，划分了 **2** 个存储体组：存储体组 **0** 和存储体组 **1**。

数据存储器的寻址可以采用直接寻址和间接寻址。

直接寻址：

直接寻址时，程序状态字寄存器（PSW）的 **RPO** 用于切换存储体组。寻址指令码中的操作数为 **7** 位地址信息，对所选存储体组进行直接寻址。

间接寻址：

间接寻址时，无需切换存储体组。**IAA** 的最高位用于区分存储体组中的 **2** 个存储体组，低 **7** 位为存储体组的实际寻址地址。用于在所选的存储体组内寻址。间接寻址是通过对 **IAD** 寄存器的读/写来完成的。**IAD** 寄存器不是一个物理寄存器，当对 **IAD** 寄存器进行读/写时，实际上是访问 **IAA** 中的地址所指向的单元，即 **IAA** 作为间接寻址的地址寄存器使用，**IAD** 作为间接寻址的数据存储器使用。若对 **IAD** 寄存器自身进行读操作，返回结果为 **00H**；进行写操作将视为空操作（可能会影响状态位）。

**应用例程：采用间接寻址方式把数据  $5A_H$  写入存储体组 1 中  $0B0_H \sim 0B7_H$  内。**

```

.....
MOVI 0XB0          ; 对指针初始化
MOVA IAA           ; IAA 指向 RAM
NEXT1:
MOVI 0X5A          ; 对 A 寄存器赋值  $5A_H$ 
MOVA IAD           ; 间接寻址赋值
INC   IAA           ; 指针 IAA 内容加 1
MOVI 0XB8          ; 对 A 寄存器赋值  $B8_H$ 
XOR  IAA, 0         ; IAA 值与  $B8_H$  异或
JBS  PSW, Z         ; 判断 IAA 值是否为  $B8_H$ 
GOTO NEXT1         ; IAA 值不是  $B8_H$ ，继续循环
CONTINUE:           ; 已经完成，继续执行后面的程序
.....

```

### 3.2.4 通用数据存储器

通用数据存储器为 **176 Bytes**，地址映射到 **2** 个存储体组中，具体映射请参考《数据存储器地址映射》章节。

通用数据存储器用于指令运行中存放数据或控制状态信息，其内容在上电复位后是不确定的。通用数据存储器可以直接寻址，也可以通过索引寄存器 **IAA** 间接寻址。

### 3.2.5 EEPROM数据存储器

#### 3.2.5.1 概述

本芯片支持 256 Bytes 可读/写的 EEPROM 数据存储器。EEPROM 数据存储器没有直接映射到数据存储空间，而是通过 4 个特殊功能寄存器（EEC0、EEC1、EEDAT 和 EEADR）间接进行读/写操作。

对 EEPROM 进行读/写操作时，EEDAT 寄存器存放 8 位读/写数据，EEADR 寄存器存放 8 位被访问的 EEPROM 数据单元的地址，地址范围为  $00_{\text{H}} \sim FF_{\text{H}}$ 。

#### 3.2.5.2 EEPROM写操作

写入 EEPROM 数据存储单元时，首先将被写单元的地址写入 EEADR 寄存器，将数据写入 EEDAT 寄存器，然后使能 WREN，并按特定顺序进行写入操作。特定顺序为：先将  $55_{\text{H}}$  写入 EEC1，再将  $AA_{\text{H}}$  写入 EEC1，最后将 WR 位置 1。如果不符合上述写操作流程，写操作将被忽略。由于整个特定顺序的写入操作不能被打断，在写入 EEPROM 前，需禁止全局中断，等到完成特定顺序的写入操作后，再使能全局中断。对 WREN 位，除了在更新 EEPROM 时置 1 外，用户应该始终保持 WREN 位为 0。在写操作启动后，将 WREN 位软件清零，不会影响本次写操作。写周期完成后，WR 位由硬件清零并且 EEPROM 写完成中断标志位（EEIF）置 1。用户可以使用中断方式或查询方式，进行 EEPROM 的写操作。若使用中断方式，需使能 EEIE，且 EEIF 必须用软件清零。

写 EEPROM 数据存储器的流程操作：

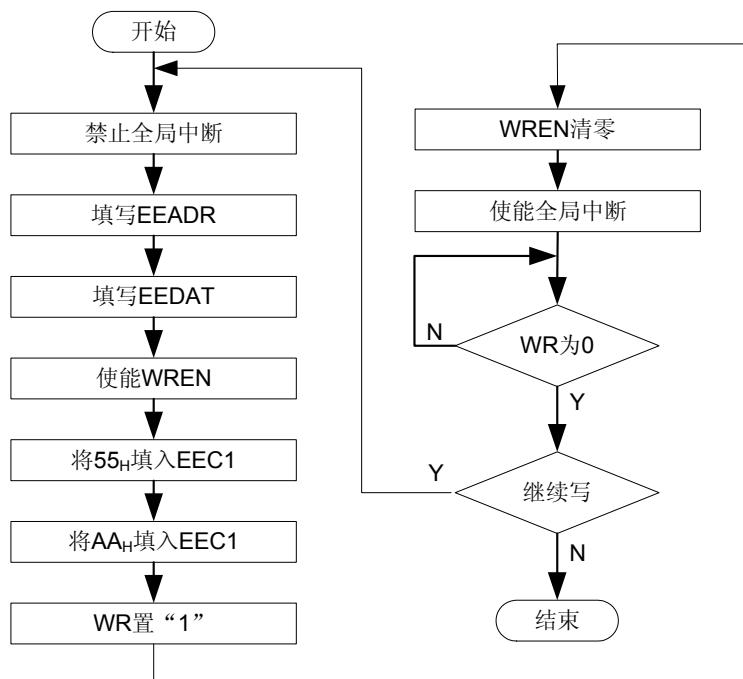


图 3-4 写 EEPROM 操作流程图（查询方式）

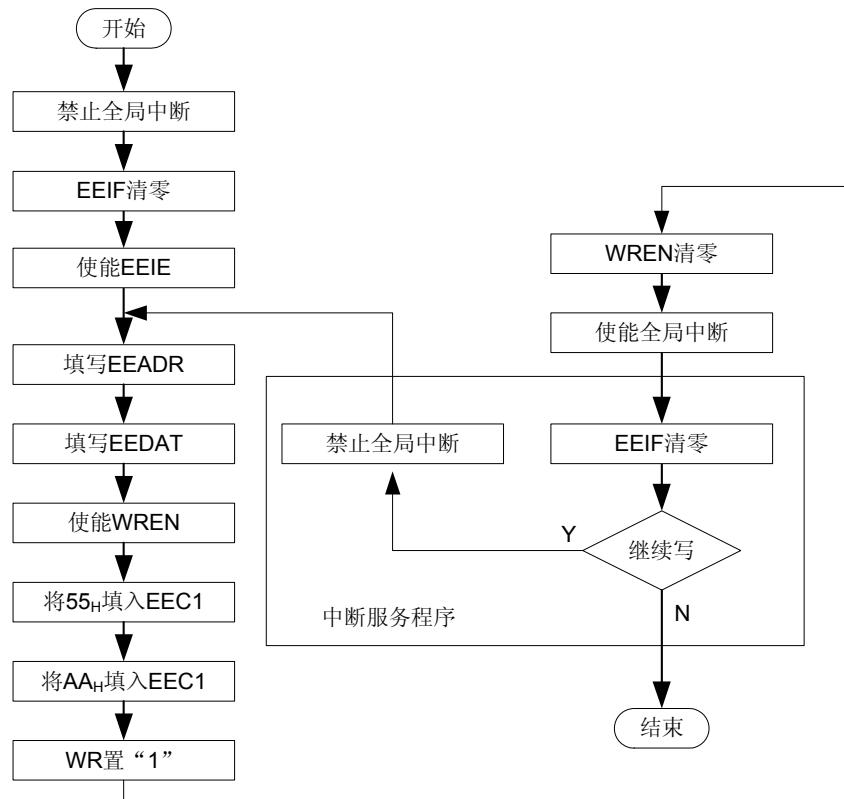


图 3-5 写 EEPROM 操作流程图（中断方式）

**应用例程：写 EEPROM 数据存储器**

```

.....
BCC    INTC0, GIE          ; 禁止全局中断
; 初始化中断，查询方式可跳过
BANK  0
BCC    INTF, EEIF          ; 清除 EEPROM 中断标志
BANK  1
BSS    INTE, EEIE          ; 使能 EEPROM 中断
; 开始进行 EEPROM 写操作
MOVI  REG_EE_ADDR          ; 设置写入的地址
MOVA  EEADR
MOVI  REG_EE_DATA          ; 设置写入的数据
MOVA  EEDAT
BSS    EEC0, WREN          ; 使能 WREN
MOVI  55H
MOVA  EEC1                ; 写入 55H
  
```

```

MOVI AAH
MOVA EEC1          ; 写入 AAH
BSS   EEC0, WR      ; 写操作开始
BCC   EEC0, WREN    ; 关闭写使能
BSS   INTC0, GIE    ; 使能全局中断
; 等待 WR 清零，或者 EEPROM 写入完成中断
.....

```

### 3.2.5.3 EEPROM读操作

要读取数据 EEPROM 存储器单元，用户需将被访问单元的地址写入 EEADR 寄存器，然后将控制位 RD (EEC0<0>) 置 1，将该地址的值载入到 EEDAT 寄存器中。在下一个指令周期，即可读取 EEDAT 寄存器中的值。

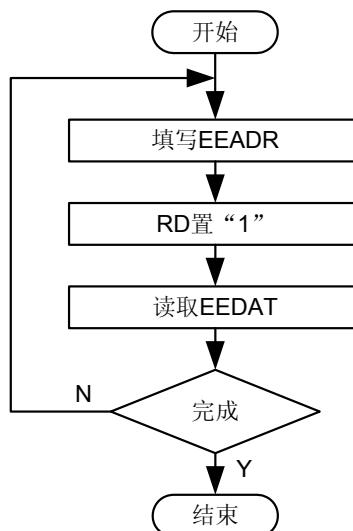


图 3-6 读 EEPROM 操作流程图

## 3.3 特殊功能寄存器

间接寻址地址寄存器 (IAA)			
地址	04H 84H		
复位值	0000 0000		
IAA<7:0>	bit7-0	R/W	间接寻址索引寄存器

间接寻址数据寄存器 (IAD)			
地址	00H 80H		
复位值	0000 0000		
IAD<7:0>	bit7-0	R/W	间接寻址数据寄存器

寄存器名称				EEPROM 访问控制寄存器 0 (EEC0)			
地址				9C <sub>H</sub>			
复位值				0000 x000			
RD	bit0	R/W	读控制位 0: 未启动存储器读操作, 或操作已完成 1: 启动存储器读操作 (用软件将 RD 位置 1 启动)				
WR	bit1	R/W	写控制位 0: 写入 EEPROM 数据的写周期完成 (硬件清 0) 1: 启动 EEPROM 写周期 (软件置 1)				
WREN	bit2	R/W	EEPROM 写使能位 0: 禁止 EEPROM 写数据 1: 使能 EEPROM 写数据				
WRERR	bit3	R/W	EEPROM 错误标志位 0: 无写操作错误 1: 写操作过早中止				
-	bit7-4	-	-				

寄存器名称				EEPROM 访问控制寄存器 1 (EEC1)			
地址				9D <sub>H</sub>			
复位值				0000 0000			
EEC1<7:0>	bit7-0	R/W	EEPROM 操作控制字				

寄存器名称				EEPROM 访问地址寄存器 (EEADR)			
地址				9B <sub>H</sub>			
复位值				0000 0000			
EEADR<7:0>	bit7-0	R/W	EEPROM 地址				

寄存器名称				EEPROM 访问数据寄存器 (EEDAT)			
地址				9A <sub>H</sub>			
复位值				0000 0000			
EEDAT<7:0>	bit7-0	R/W	EEPROM 数据				

## 第 4 章 输入/输出端口

### 4.1 概述

HR7P187 支持 12 个 I/O 端口。除 PA3 外，其他所有 I/O 端口都是 TTL SMT 输入和 CMOS 输出驱动，每个端口都有相应的控制寄存器 PxT，来进行输入/输出控制。若 PxT 置 1，则 I/O 端口为输入状态，若 PxT 置 0，则 I/O 端口为输出状态。PA3 只有 TTL 输入，没有输入/输出控制。

当 I/O 管脚处于输出状态时，管脚电平由 Px 寄存器决定。1 为高电平，0 为低电平。当 I/O 管脚处于输入状态时，管脚电平状态可由 Px 寄存器读取。

当对 Px 寄存器执行读-修改-写操作时，先读取该组 I/O 的端口电平，修改后再写回 Px 寄存器。对位操作指令，其操作属于读-修改-写操作，因此对端口的位操作有可能影响同组 I/O 的 Px 寄存器。

支持管脚复用，具体说明及设置请参考《管脚说明》和《I/O MUX》章节。

## 4.2 结构框图

管脚	0	1	2	3	4	5	备注
PA	B	B	B	C	B	B	-
PC	A	A	A	A	A	A	-

表 4-1 I/O 端口结构信息表

注: A 表示端口结构图 A, B 表示端口结构图 B, C 表示端口结构图 C。三种结构图如下。

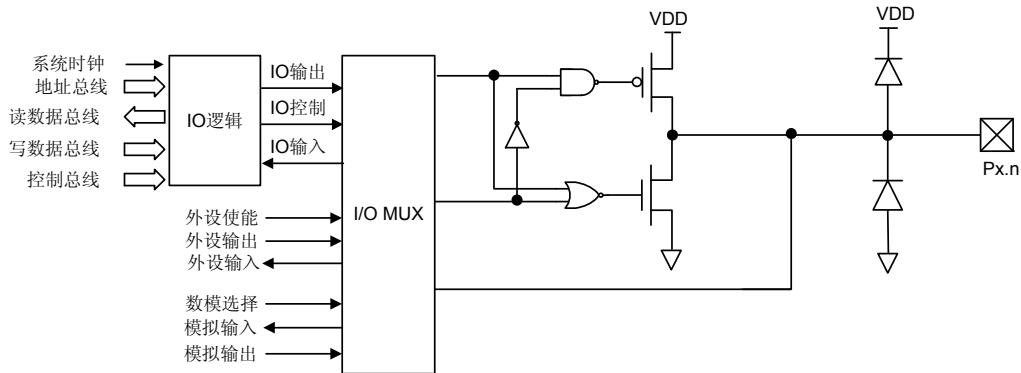


图 4-1 输入/输出端口结构图 A

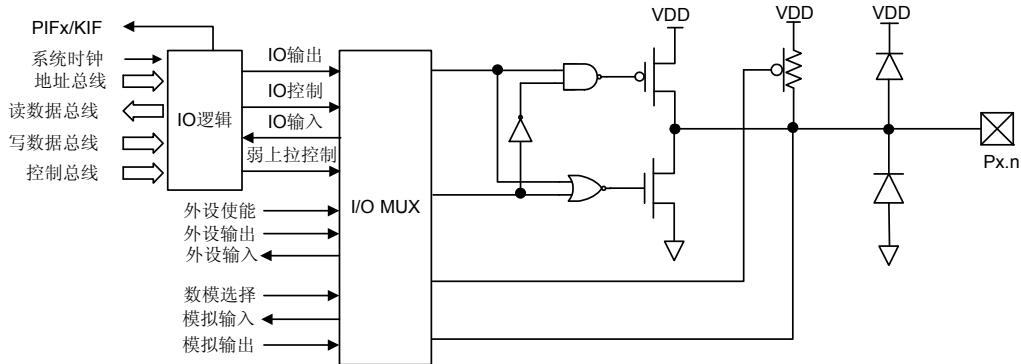


图 4-2 输入/输出端口结构图 B

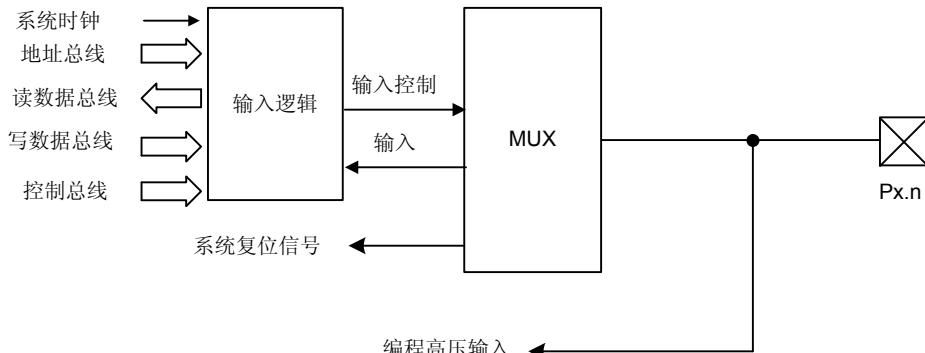


图 4-3 输入端口结构图 C

## 4.3 I/O MUX

管脚名	管脚复用	PAT	外设使能	备注
PA0/AIN0/KIN0/CIN0/ISPSDA	PA0	-	ANSEL<0>=0,CM<2:0>=111	-
	AIN0	1	ANSEL<0>=1	-
	KIN0	1	ANSEL<0>=0	-
	CIN0	1	ANSEL<0>=1 CM<2:0>=000,001,010 CM<2:0>=101,110 且 CIS=1	-
	ISPSDA	-	-	-
PA1/AIN1/KIN1/CIN1/ ADVREF/ISPSCK	PA1	-	ANSEL<1>=0,CM<2:0>=111	-
	AIN1	1	ANSEL<1>=1	-
	KIN1	1	ANSEL<1>=0	-
	CIN1	1	ANSEL<1>=1 CM<2:0>=000,001,010 CM<2:0>=101,110 且 CIS=0	-
	ADVREF	1	ANSEL<1>=1	-
	ISPSCK	-	-	-
PA2/AIN2/KIN2/PINT/COUT/ T8NCKI/TECI/TECO/PWM	PA2	-	ANSEL<2>=0, CM<2:0>=000,010,100,110,111 TEM<3:0>=0000	-
	AIN2	1	ANSEL<2>=1	-
	KIN2	1	ANSEL<2>=0	-
	PINT	1	ANSEL<2>=0	-
	COUT	0	ANSEL<2>=0 CM<2:0>=001,011,101	-
	T8NCKI	1	ANSEL<2>=0	-
	TECI	1	ANSEL<2>=0 TEM<3:0>=0100~0111	-
	TECO	0	ANSEL<2>=0 TEM<3:0>=1000~1011	-
	PWM	0	ANSEL<2>=0 TEM<3:0>=11XX	-
PA3/KIN3/N_MRST/VPP	PA3	-	MRSTEN=0	-
	KIN3	-	MRSTEN=0	-
	N_MRST	-	MRSTEN=1	-
	VPP	-	-	-

管脚名	管脚复用	PCT	外设使能	备注
PA4/KIN4/T16GGI /OSC2/CLKO/T16GOSC2	PA4	-	ANSEL<3>=0, T16GGE=0,T16GOSCEN=0 OSCS<2:0>=000,010,011	-
	AIN3	1	ANSEL<3>=1	-
	KIN4	1	ANSEL<3>=0, T16GGE=0,T16GOSCEN=0 OSCS<2:0>=000,010,011	-
	T16GGI	1	ANSEL<3>=0,T16GGE=1	-
	T16GOS C2	-	T16GGE=0,T16GOSCEN=1 OSCS<2:0>=000,101	-
	OSC2	-	OSCS<2:0>=101,110,111	-
	CLKO	-	OSCS<2:0>=001,100	-
PA5/KIN5/T16GCKI/OSC1/ CLKI/T16GOSC1	PA5	-	T16GCS=0,T16GOSCEN=0	-
	KIN5	1	T16GCS=0,T16GOSCEN=0	-
	T16GCKI	1	T16GCS=1,T16GOSCEN=0	-
	T16GOS C1	-	T16GOSCEN=1 OSCS<2:0>=000,101	-
	OSC1	-	OSCS<2:0>=011,100,101,11 0,111	-
	CLKI	-	OSCS<2:0>=010	-
PC0/AIN4	PC0	-	ANSEH<0>=0	-
	AIN4	1	ANSEH<0>=1	-
PC1/AIN5	PC1	-	ANSEH<1>=0	-
	AIN5	1	ANSEH<1>=1	-
PC2/AIN6	PC2	-	ANSEH<2>=0	-
	AIN6	1	ANSEH<2>=1	-
PC3/AIN7	PC3	-	ANSEH<3>=0	-
	AIN7	1	ANSEH<3>=1	-
PC4	PC4	-	-	-
PC5	PC5	-	-	-

#### 4.4 I/O端口弱上拉

通过将 N\_PUEN (BSET<7>) 使能位清零, 可使能端口弱上拉总开关。再通过设置 N\_PAPU 寄存器的相应位可单独控制各端口的弱上拉功能。

管脚	0	1	2	3	4	5
PA	支持	支持	支持	不支持	支持	支持
PC	不支持	不支持	不支持	不支持	不支持	不支持

表 4-2 I/O 端口弱上拉功能分布表

## 4.5 外部中断

### 4.5.1 外部端口中断 (PINT)

I/O 端口支持一个外部端口中断。当外部输入端口信号发生变化，并且变化边沿满足触发条件时，将产生外部端口中断 PINT。触发条件可由 PEG 选择为上升沿触发或者下降沿触发。外部端口中断可由 PIE 使能。中断产生将影响相应的中断标志 PIF。

管脚名	I/O MUX	中断名	中断使能	触发选择	中断标志
PA2	PINT	PINT	PIE	PEG	PIF

表 4-3 外部端口中断

### 4.5.2 外部按键中断 (KINT)

I/O 端口支持一组外部按键中断。

按键中断的触发条件为，使能的任一外部按键输入电平，与上一次对该端口进行读/写操作时的电平相比发生变化时，将产生外部按键中断 KINT。

通过 KMSKx (KMSK<5:0>) 可屏蔽或使能相应按键输入口的按键中断触发功能。

KIE 为外部按键中断的使能位。KIF 为外部按键中断的中断标志位。

清除中断标志位，必须对所有使能的外部按键输入端口进行一次读/写访问，使比较参考电平与当前输入电平一致，否则标志位无法被清除。

管脚名	I/O MUX	中断使能	中断标志	中断名
PA0	KIN0	KMSK0	KIF	KINT
PA1	KIN1	KMSK1		
PA2	KIN2	KMSK2		
PA3	KIN3	KMSK3		
PA4	KIN4	KMSK4		
PA5	KIN5	KMSK5		

表 4-4 外部按键中断

## 4.6 特殊功能寄存器

寄存器名称				端口电平状态寄存器 (PA/ PC)			
地址	PA: 05 <sub>H</sub> PC: 07 <sub>H</sub>						
复位值	xxxx xxxx						
Px<5:0>	bit5-0	R/W	<b>Px</b> 口电平状态 0: 低电平 1: 高电平				
-	bit7-6	-	-				

寄存器名称				端口输入输出控制寄存器 (PAT /PCT)			
地址	PAT: 85 <sub>H</sub> PCT: 87 <sub>H</sub>						
复位值	xx11 1111						
PxT<5:0>	bit5-0	R/W	<b>Px</b> 口输入输出状态位 0: 输出状态 1: 输入状态				
-	bit7-6	-	-				

寄存器名称				PA 弱上拉控制寄存器 (N_PAPU)			
地址	95 <sub>H</sub>						
复位值	xx00 0000						
N_PAPU<7:4> N_PAPU<2:0>	bit7-4 Bit2-0	R/W	<b>PAx</b> 口内部弱上拉控制位 (N_PUEN=0 (BSET<7>)) 1: 弱上拉使能 0: 弱上拉不使能				
-	Bit3	-	-				

## 第 5 章 外设

### 5.1 定时器/计数器模块 (Timer/Counter)

本芯片包含 1 组 8 位定时器/计数器 (T8N)、1 组 PWM 时基定时器 (T8P) 和 1 组门控型 16 位定时器 (T16G)。此外，还包含 1 组定时器/计数器扩展模块 (TE)。

#### 5.1.1 8 位定时器/计数器 (T8N)

##### 5.1.1.1 概述

- 时钟源为系统时钟 4 分频或外部计数时钟输入
- 支持定时器模式和计数器模式
- 支持可配置预分频器
- 支持计数溢出中断
- T8N 计数器初值可配置
- 低功耗模式下不工作

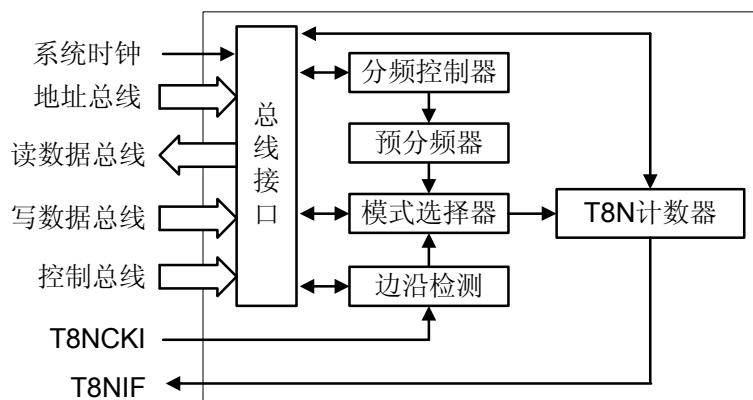


图 5-1 T8N 内部结构图

##### 5.1.1.2 定时器模式和计数器模式

配置 T8NCS (BSET<5>)，选择 T8N 的工作模式为定时器模式或者计数器模式。

当 T8NCS=0 时，T8N 工作为定时器模式，时钟源为  $F_{osc}/4$ 。不使用预分频器时，T8N 计数器的递增周期为一个机器周期。当使用预分频器时，T8N 寄存器的递增周期为预分频器的输出时钟周期。

当 T8NCS=1 时，T8N 工作为计数器模式，时钟源为 T8NCKI。配置 T8NSE (BSET<4>)，选择 T8N 计数器对 T8NCKI 的上升沿或下降沿计数。当 T8NSE=0 时，对上升沿计数；当 T8NSE=1 时，对下降沿计数。

T8N 通过内部相位时钟 p2 和 p4 采样，来实现 T8NCKI 与内部相位时钟的同步。因此，T8NCKI 保持高电平或者低电平的时间，至少为 4 个系统时钟周期。

##### 5.1.1.3 预分频器

通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 T8N。当预分频器分配给 T8N 时，任何对 T8N 计数器的写操作都会把预分频器的内容清零，但不改变预分频器的分频比。预分频器的计数值无法读写，分频比可由 PS<2:0>(BSET<2:0>) 来配置。

### 5.1.1.4 中断标志

T8N 提供了一个计数溢出中断标志。当 T8N 计数器递增计数，计数值由  $FF_H$  变为  $00_H$  时，T8N 计数器发生溢出，T8NIF 位置 1，如果 T8NIE 使能，并且全局中断 GIE 使能，则产生 T8N 溢出中断。否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8NIF 位必须软件清零。在 CPU 进入低功耗模式后，T8N 停止计数，因此不会产生中断。

### 5.1.2 8 位 PWM 时基定时器 (T8P)

#### 5.1.2.1 概述

- 时钟源为系统时钟 4 分频，频率为  $F_{osc}/4$
- 支持定时器模式
- 支持可配置预分频器和后分频器
- T8P 计数器初值可配置
- 支持 T8P 周期寄存器
- 支持 T8P 计数器与周期寄存器比较，当匹配时，可产生匹配信号，并清零计数器
- 通过定时器/计数器扩展模块，支持 PWM 输出功能

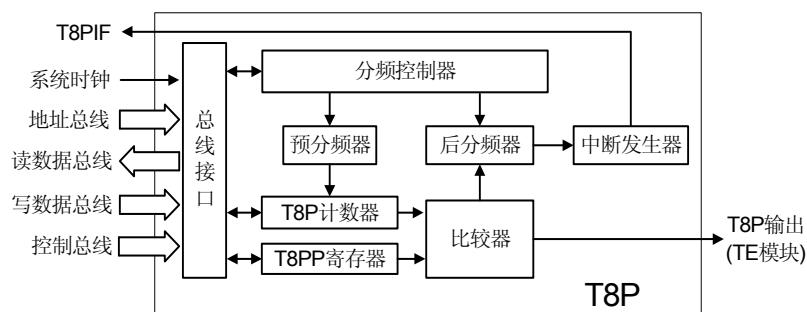


图 5-2 T8P 内部结构图

#### 5.1.2.2 定时器模式

T8P 只支持定时器模式，时钟源为  $F_{osc}/4$ 。通过定时器/计数器扩展模块，可以实现 PWM 输出，具体可参考《T8P 脉宽调制功能扩展》章节。

#### 5.1.2.3 预分频器和后分频器

T8P 包括 1 个可配置预分频器和 1 个可配置后分频器。预分频器的计数值无法读写，分频比可由 T8PPRS<1:0> (T8PC<1:0>) 来配置。后分频器的计数值也无法读写，分频比可由 T8PPOS<3:0> (T8PC<6:3>) 来配置。修改 T8P 的控制寄存器或 T8P 计数器，都会把预分频器和后分频器清零。

#### 5.1.2.4 中断标志

T8P 支持 1 组 8 位周期寄存器和 1 组 8 位计数器，都为 8 位可读写寄存器。T8P 计数器的计数值递增到与周期寄存器的值相等时，产生一次匹配信号。后分频器会对这一匹配信号进行计数，当满足后分频器的设定值时，T8PIF 置 1，如果 T8PIE 使能，且外设中断 PEIE 和全局中断 GIE 使能，则产生 T8P 中断，否则中断不被响应。在重新使能这个中断之前，为了避免误触发中断，T8PIF 位必须软件清零。在 CPU

进入低功耗模式后, T8P 不工作, 因此不产生中断。

**应用例程: 设置 T8P 定时器选择预分频为 1:4, 后分频为 1:1**

```
.....
BANK      1          ; 选择存储体组 1
MOVI     0X30
MOVA     T8PP          ; 设置 T8P 定时器的周期
MOVI     0X05
BANK      0          ; 选择存储体组 0
MOVA     T8PC          ; 设置预分频和后分频
.....
```

### 5.1.3 门控型 16 位定时器/计数器 (T16G)

#### 5.1.3.1 概述

- 时钟源为系统时钟 4 分频  $F_{osc}/4$ 、外部输入时钟 T16GCKI 或者 LP 模式晶体/陶瓷振荡器
- 支持定时器模式、同步计数器模式和异步计数器模式
- 支持 2 组 8 位计数器 (T16GL 和 T16GH), 初值可配置
- 支持门控设计, 通过门控信号 T16GGI 控制 T16G 是否计数
- 支持可配置预分频器
- 支持计数溢出中断。T16G 异步计数模式时, 中断可唤醒 CPU
- 通过定时器/计数器扩展模块, 支持捕捉器功能
- 通过定时器/计数器扩展模块, 支持比较器功能

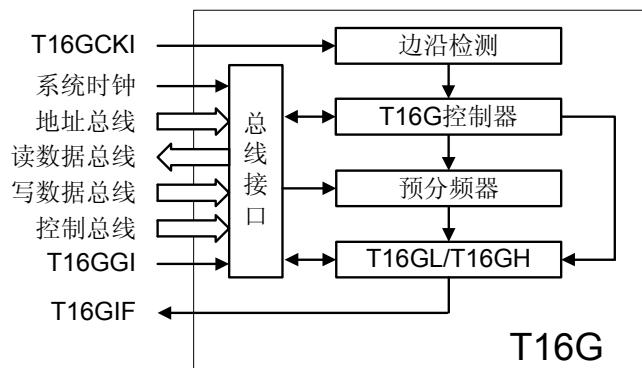


图 5-3 T16G 内部结构图

### 5.1.3.2 工作模式

T16G 通过 T16GCS (T16GC<1>) 的设置来选择工作模式。在计数模式时，通过 T16GSYN (T16GC<2>) 设置来选择同步计数器模式或异步计数器模式。

#### 1. T16G 定时器模式

当 T16GCS = 0 时，T16G 工作在定时器模式，此时 T16G 的时钟源是系统时钟 4 分频。

#### 2. T16G 同步计数器模式

当 T16GCS = 1, T16GSYN = 0 时，T16G 工作在同步计数器模式。因为外部计数时钟需要与系统时钟 4 分频 p4 同步，所以通过 T16GCKI 端口输入的外部时钟脉冲信号的高电平或低电平时间，至少为 4Tosc (一个机器周期)。

T16G 在同步计数器模式时，如果单片机进入了低功耗状态，虽然外部的时钟输入仍在工作，但因为时钟同步模块也进入低功耗状态，所以 T16G 不进行计数。

注：同步计数器模式下，外部计数时钟输入高电平/低电平的时间，要大于 1 个机器周期，小于 1 个机器周期的脉冲可能会丢失。

#### 3. T16G 异步计数器模式

当 T16GCS = 1, T16GSYN = 1 时，T16G 工作在异步计数器模式下。T16G 异步计数器在低功耗状态期间继续工作，并在溢出时产生中断，该中断能够唤醒 CPU。

#### 4. T16G 扩展功能

通过定时器/计数器扩展模块，T16G 可以支持捕捉器功能和比较器功能两种扩展功能，请参考《T16G 捕捉器功能扩展》和《T16G 比较器功能扩展》章节。

### 5.1.3.3 门控设计

T16G 支持门控设计，在 T16G 计数模式下，如果门控使能位 T16GGE (T16GC<6>) 使能，可以通过门控信号 T16GGI 或者模拟比较器的输出 COUT，对 T16G 的计数功能进行门控，门控信号通过设置 T16GSS (ACPC1<1>) 来选择。同时通过 T16GGINV (T16GC<7>) 来设置 T16G 计数门控信号的有效电平。当 T16GGINV=0 时，T16G 在门控信号为低电平时计数；当 T16GGINV=1 时，T16G 在门控信号为高电平计数。

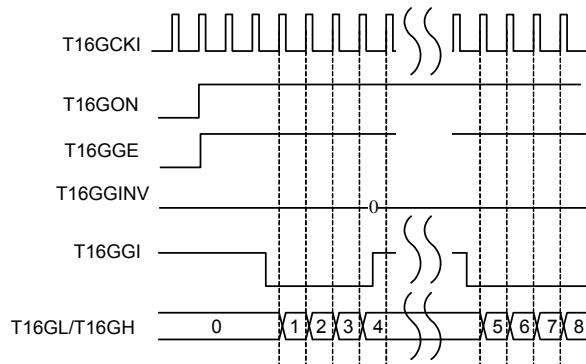


图 5-4 T16G 定时器门控计数

### 5.1.3.4 振荡器

T16G 支持外部 LP 振荡器。当芯片系统时钟源为内部 RC 时钟时，通过将 T16GOSCEN 位置 1 可以复用 LP 振荡器时钟作为 T16G 时钟源。T16G 振荡器频率范围支持 32KHz。

注：由于 T16G 共用时钟源和门控管脚，所以当使用外部 LP 振荡模式时，T16G 不支持门控功能。

### 5.1.4 定时器/计数器扩展模块 (TE)

#### 5.1.4.1 概述

本芯片包含 1 组 TE。

TE 支持 3 种功能扩展模式：T16G 捕捉器功能扩展、T16G 比较器功能扩展和 T8P 脉宽调制功能扩展，通过设置 TEM<3:0>选择相应的扩展模式。

#### 5.1.4.2 TE配置及管脚分配表

扩展模式	管脚分配	T16G	T8P
捕捉模式	TECI	TE	-
比较模式	TECO	TE	-
脉宽调制模式	PWM	-	TE

表 5-1 TE 配置及管脚分配表

#### 5.1.4.3 T16G捕捉器功能扩展

当 TEM = 0100 ~ 0111 时，TE 配置为捕捉器功能扩展。TE 对 TECI 的输入信号实时监测，TE 为捕捉器，T16G 为计数器。在初始化 T16G 时，必须将其设置成定时器模式或者同步计数器模式。

当 TECI 输入信号的变化状态满足捕捉条件时，TE 将 T16G 计数器的值捕捉到 TE 寄存器 (TEH:TEL) 中，并产生 TE 中断，产生的中断标志必须由软件清零。若 TEH/TEL 内的捕捉值未被及时读取，那么当下次捕捉条件满足时，会被新的捕捉值覆盖。

TE 支持 1 组预分频器。只有当 TE 作为捕捉器功能时，预分频器才使用。当 TE 关闭或配置成其它功能扩展模式时，预分频器都会被清零并且不被使用。但改变 TE 的捕捉条件时，预分频器不会被清零。因此，当切换 TE 捕捉条件后，首次捕捉时，TE 预分频器的计数初值可能不为 0。

TE 模式切换时，也许会导致错误中断产生。因此为了避免产生错误中断，用户在改变模式时应该保持 TEIE 为 0，并且将标志位 TEIF 清零。

TE 支持 4 种捕捉条件：

- 捕捉每 1 个下降沿脉冲
- 捕捉每 1 个上升沿脉冲
- 捕捉每 4 个上升沿脉冲
- 捕捉每 16 个上升沿脉冲

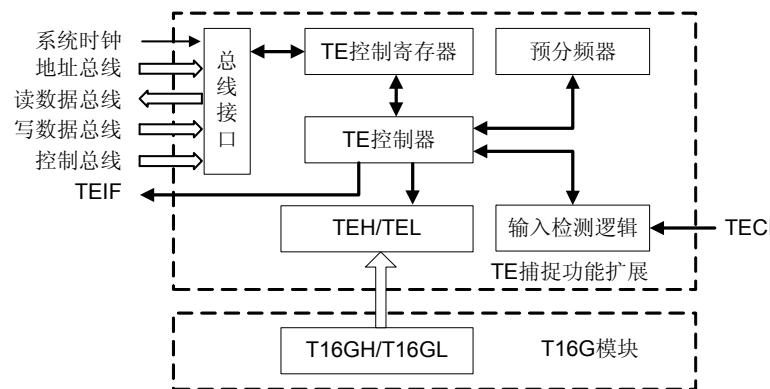


图 5-5 TE 在捕捉器功能扩展的内部结构图

#### 5.1.4.4 T16G 比较器功能扩展

当  $TEM = 1000 \sim 1011$  时, TE 配置为比较功能扩展, TE 与 T16G 一起实现比较器功能。TE 存放比较匹配值, T16G 作为计数器。当 T16G 中的计数值与 TE 寄存器 (TEH:TEL) 中存放的比较值相等时, TE 产生比较匹配, 并执行相应的比较匹配事件, TEIF 置 1, 若 TEIE 使能, 则产生中断。TEIF 需要软件清零。

TE 支持 4 种比较匹配事件:

- TECO 端口输出高电平
- TECO 端口输出低电平
- TECO 端口输出不受影响
- 特殊事件触发, 清零 T16G 计数器

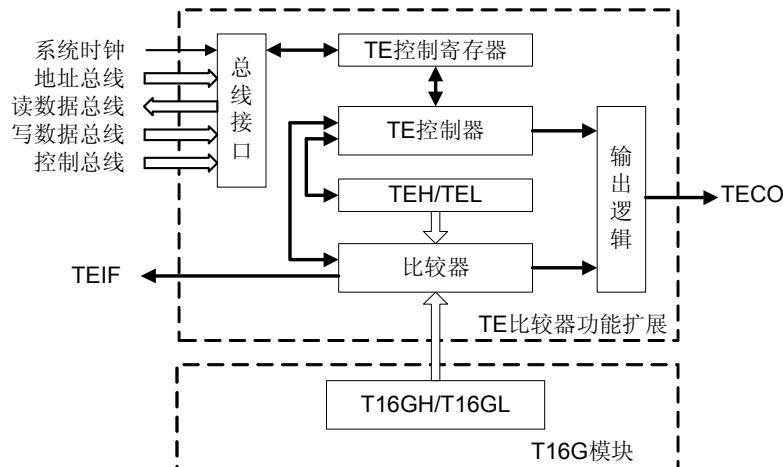


图 5-6 TE 在比较器功能扩展的内部结构图

### 5.1.4.5 T8P脉宽调制功能扩展

当  $TEM = 11xx$  时, TE 配置为 PWM 功能扩展, PWM 端口可产生 10 位分辨率的 PWM 输出。在初始化 PWM 端口时, 必须将相应的 PWM 端口所在的管脚设置成输出状态。

PWM 的周期由 PWM 时基定时器 T8P 提供。T8P 从 0 开始递增计数, 当计数值等于 T8PP 时, 完成了 PWM 的计数周期。满足计数周期时, 将会进行如下操作: PWM 端口被置 1 (但如果 PWM 的占空比为 0%, PWM 端口将不会置 1); TEL 被锁存到 TEH; T8P 被清零并重新开始递增计数。

PWM 的脉宽由写入 TEL 寄存器和 TEC<5:4>寄存器的值来决定。TEL:TEC<5:4>寄存器在任何时候都是可写的, 但是新写入的值, 要到 T8PP 与 T8P 相等后 (即周期完成), 才锁存到 TEH 和 resbuf<1:0>寄存器。如果 PWM 脉宽比 PWM 周期要长或者相等, PWM 端口将不会清零。在 PWM 方式下, TEH 是一个只读寄存器。

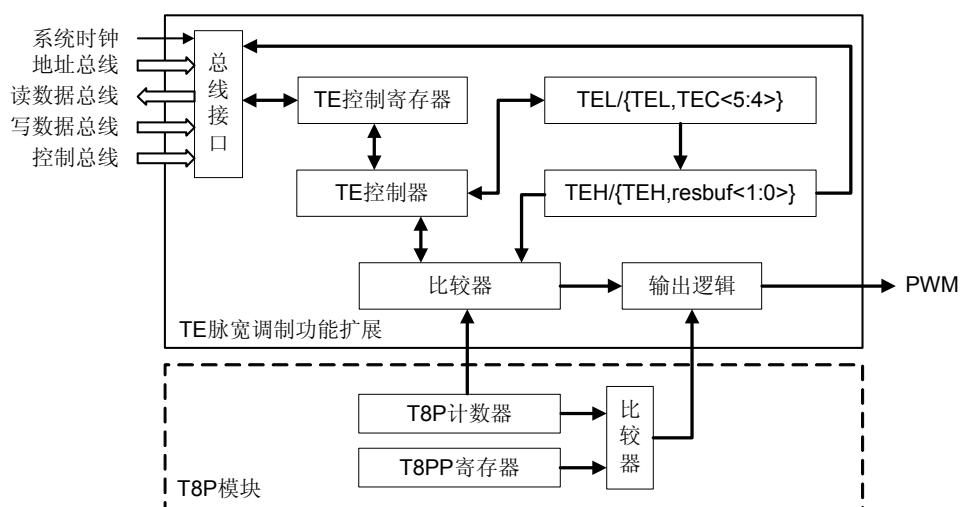


图 5-7 TE 在 PWM 功能扩展的内部结构图

对于 PWM 输出, 波形如下图所示:

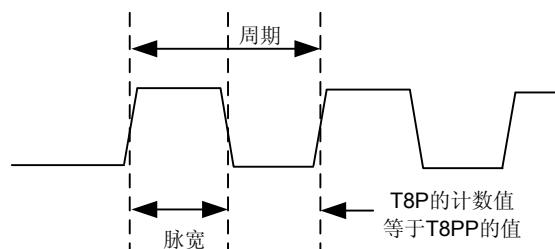


图 5-8 PWM 输出示意图

PWM 公式如下:

$$\text{PWM 周期} = [(T8PP) + 1] \times 4 \times Tosc \times (\text{T8P 分频比})$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (\text{TEL:TEC<5:4>}) \times Tosc \times (\text{T8P 分频比})$$

PWM 占空比 = (TEL:TEC<5:4>) /4[(T8PP)+1]

给定 PWM 频率, PWM 的最大分辨率可计算为:

$$\text{分辨率} = \frac{\log(\frac{F_{osc}}{F_{pwm} * F_{ckps}})}{\log 2}$$

$F_{CKPS}$  是 T8P 预分频器的分频比。

**应用例程: PWM 输出周期为 256μs, 占空比为 50% 的脉冲波形 (系统时钟为 4MHz)**

```
.....
BANK      1
MOVI     0XFF          ; 将 0XFF 送至 A
MOVA     T8PP          ; 设置 PWM 周期
MOVI     0X80          ; 设置 PWM 脉宽
BANK      0
MOVA     TEL
MOVI     0X0C
MOVA     T8PC
MOVI     0X0C          ; 设置为 PWM 方式
MOVA     TEC
BANK      1
BCC      PAT, 2        ; 设置 PA2 为输出口
.....
```

## 5.1.5 特殊功能寄存器

寄存器名称 <b>T8N 寄存器 (T8N)</b>			
地址	01 <sub>H</sub>		
复位值	xxxx xxxx		
T8N<7:0>	bit7-0	R/W	<b>T8N 计数器</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

寄存器名称 <b>T8P 寄存器 (T8P)</b>			
地址	11 <sub>H</sub>		
复位值	xxxx xxxx		
T8P<7:0>	bit7-0	R/W	<b>T8P 计数器</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

寄存器名称 <b>T8P 控制寄存器 (T8PC)</b>			
地址	12 <sub>H</sub>		
复位值	0000 0000		
T8PPRS<1:0>	bit1-0	R/W	<b>T8P 预分频器分频比选择位</b> 00: 预分频为 1:1 01: 预分频为 1:4 1x: 预分频为 1:16
T8PON	bit2	R/W	<b>T8P 使能位</b> 0: 关闭 T8P 1: 使能 T8P
T8PPOS <3:0>	bit6-3	R/W	<b>T8P 后分频器分频比选择位</b> 0000: 后分频为 1:1 0001: 后分频为 1:2 ... 1111: 后分频为 1:16
-	bit7	-	-

寄存器名称 <b>T8P 周期寄存器 (T8PP)</b>			
地址	92 <sub>H</sub>		
复位值	1111 1111		
T8PP<7:0>	bit7-0	R/W	<b>T8P 周期寄存器</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

寄存器名称 <b>低 8 位 T16G 计数器 (T16GL)</b>			
地址	0E <sub>H</sub>		
复位值	xxxx xxxx		
T16GL<7:0>	bit7-0	R/W	<b>T16G 低 8 位计数器</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

寄存器名称				高 8 位 T16G 计数器 (T16GH)			
地址				T16GH: 0F <sub>H</sub>			
复位值				xxxx xxxx			
T16GH<7:0>	bit7-0	R/W		<b>T16G 高 8 位计数器</b> 00 <sub>H</sub> ~ FF <sub>H</sub>			

寄存器名称				T16G 控制寄存器 (T16GC)			
地址				10 <sub>H</sub>			
复位值				0000 0000			
T16GON	bit0	R/W		<b>T16G 使能位</b> 0: 关闭 T16G 1: 打开 T16G			
T16GCS	bit1	R/W		<b>T16G 时钟源选择位</b> 0: 工作于定时器方式 (用系统时钟 4 分频) 1: 对 T16GCKI 端口 (上升沿) 输入的外部时钟信号计数			
T16GSYN	bit2	R/W		<b>T16G 外部时钟输入同步控制位</b> 0: T16GCS = 1: 与外部时钟输入同步 T16GCS = 0: T16G 工作于定时器方式下, 未用此位 1: T16GCS = 1: 不与外部时钟输入同步 T16GCS = 0: T16G 工作于定时器方式下, 未用此位			
T16GOSCEN	bit3	R/W		<b>T16G 振荡器使能位</b> 0: 不使能 T16G 振荡器 1: 使能 T16G 振荡器			
T16GPRS <1:0>	bit5-4	R/W		<b>T16G 输入预分频选择位</b> 00 = 1:1 01 = 1:2 10 = 1:4 11 = 1:8			
T16GGE	bit6	R/W		<b>T16G 门控使能位</b> 0: 禁止 T16G 门控 1: 使能 T16G 门控			
T16GGINV	bit7	R/W		<b>T16G 门控信号电平选择位</b> 0: T16G 在 T16G 门控信号为低电平时计数 1: T16G 在 T16G 门控信号为高电平时计数			

低 8 位 TE 缓冲寄存器 (TEL)			
地址	13 <sub>H</sub>		
复位值	0000 0000		
TEL<7:0>	bit7-0	R/W	TE 缓冲寄存器低 8 位 00 <sub>H</sub> ~ FF <sub>H</sub>

高 8 位 TE 缓冲寄存器 (TEH)			
地址	14 <sub>H</sub>		
复位值	0000 0000		
TEH<7:0>	bit7-0	R/W	TE 缓冲寄存器高 8 位 00 <sub>H</sub> ~ FF <sub>H</sub>

TE 控制寄存器 (TEC)			
地址	15 <sub>H</sub>		
复位值	xx00 0000		
TEM<3:0>	bit3-0	R/W	<b>TE 工作方式选择位</b> 0000 = 关闭 TE 模块 (即 TE 复位) 0100 = 捕捉每 1 个脉冲下降沿 (捕捉器功能扩展) 0101 = 捕捉每 1 个脉冲上升沿 (捕捉器功能扩展) 0110 = 捕捉每 4 个脉冲上升沿 (捕捉器功能扩展) 0111 = 捕捉每 16 个脉冲上升沿 (捕捉器功能扩展) 1000 = 匹配时 TECO 端口输出 1 (比较器功能扩展) 1001 = 匹配时 TECO 端口输出 0 (比较器功能扩展) 1010 = 匹配时 TECO 端口输出保持不变 (比较器功能扩展) 1011 = 匹配时触发特别事件 (TE 清零 T16G), TECO 端口输出保持不变 (比较器功能扩展) 11xx = PWM 功能扩展
PWMY - PWMX	bit5-4	R/W	10 位 PWM 工作循环周期低 2 位
-	bit7-6	-	-

## 5.2 模拟比较器 (ACP)

### 5.2.1 概述

本芯片有 1 组模拟比较器。

模拟比较器对 2 个模拟输入信号  $CVin+$  和  $CVin-$  进行比较，并将比较结果通过  $COUT$  输出。其中  $CVin+$  和  $CVin-$  是模拟信号， $COUT$  是数字信号。当输入  $CVin+$  大于  $CVin-$  时，输出  $COUT$  为低电平“0”，而当输入  $CVin-$  小于  $CVin+$  时，输出  $COUT$  为高电平“1”。

模拟比较器的输入信号  $CVin+$  和  $CVin-$ ，输出信号  $COUT$  可以通过  $CM<2:0>$  和  $CIS$  进行设置。可以将管脚复用为模拟比较器的输入，也可以将内部参考电压模块的输出  $VREFACP$ ，作为模拟比较器的输入。模拟比较器的输出  $COUT$  可以设置选择是否输出到  $IO$  端口。

对于模拟比较器中断的产生，必须先将比较器中断使能位  $ACPIE$  和外设中断使能位  $PEIE$  置 1，才能在比较器的输出有变化时产生中断，中断标志位  $ACPIF$  被置 1，如果全局中断使能位  $GIE(INTC0<7>)$  也被置 1，则会进入中断子程序进行中断处理。CPU 进入休眠状态后，模拟比较器仍继续工作，模拟比较器的比较中断能唤醒 CPU。

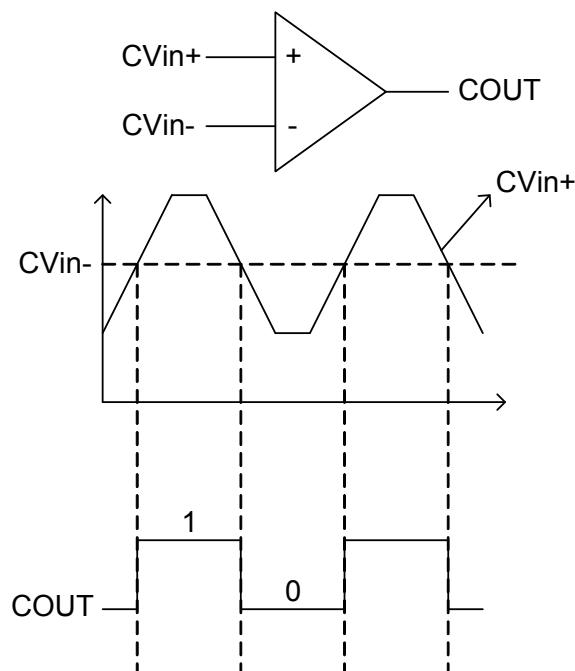


图 5-9 模拟比较器示意图

### 5.2.2 特殊功能寄存器

模拟比较器控制寄存器 0 (ACPC0)			
地址	19 <sub>H</sub>		
复位值	x0x0 0000		
CM<2:0>	bit2-0	R/W	比较器模式位, 见下表
CIS	bit3	R/W	比较器输入开关位, 见下表
CINV	bit4	R/W	比较器输出反相位 0: COUT 输出不被反相 1: COUT 输出被反相
-	bit5	-	-
COUT	bit6	R/W	比较器输出位 当 CINV = 0 时 1 = CVin+ > CVin- 0 = CVin+ < CVin- 当 CINV = 1 时 1 = CVin+ < CVin- 0 = CVin+ > CVin-
-	bit7	-	-

端口复用 CM<2:0>	模拟比较器		
	CVin+	CVin-	COUT
000	PA0	PA1	OFF
001	PA0	PA1	COUT, 从管脚 PA2 输出
010	PA0	PA1	COUT
011	VREFACP	PA1	COUT, 从管脚 PA2 输出
100	VREFACP	PA1	COUT
101	VREFACP	CIS=0, PA1 CIS=1, PA0	COUT, 从管脚 PA2 输出
110	VREFACP	CIS=0, PA1 CIS=1, PA0	COUT
111	VSS	VSS	OFF

注 1: VREFACP 为内部参考电压模块的输出。

注 2: COUT 可以通过寄存器读取, 也可以设置输出到 I/O 管脚。

模拟比较器控制寄存器 1 (ACPC1)			
地址	1A <sub>H</sub>		
复位值	xxxx xx10		
CMSYNC	bit0	R/W	<b>模拟比较器输出同步位</b> 0: 模拟比较器输出不与 T16G 时钟源同步 1: 模拟比较器输出与 T16G 时钟源的下降沿同步
T16GSS	bit1	R/W	<b>T16G 门控源选择位</b> 0: T16G 门控源是模拟比较器输出 1: T16G 门控源是 TI6GGI 端口
-	bit7-2	-	-

### 5.3 参考电压模块

### 5.3.1 概述

参考电压模块由电阻梯度网络提供多种参考电压值。通过寄存器 VRC 控制参考电压模块的工作。为了节省芯片功耗，可关闭参考电压模块。

### 5.3.2 操作说明

参考电压模块可以提供 16 种参考电压输出。

应用例程：VDD = 5.0V 时，配置参考电压为 1.25V。

MOVI 0X03

MOVA ACPC0 ; 初始化模拟比较器工作模式

## BANK 1

MOVI 0XA6

;

MOVA VRC ；使能参考电压模块，参考电压值为 1.25V

.....

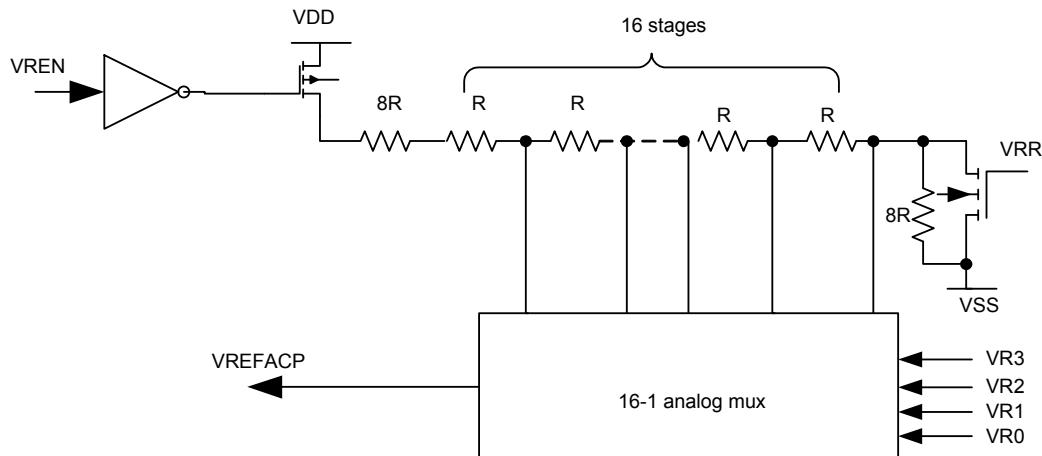


图 5-10 参考电压框图

### 5.3.3 特殊功能寄存器

参考电压控制寄存器 (VRC)			
地址	99 <sub>H</sub>		
复位值	0x0x 0000		
VR<3:0>	bit3-0	R/W	<b>VREFACP</b> 值的选择位 VRR = 1: $VREFACP = (VR<3:0>/24) \times VDD$ VRR = 0: $VREFACP = 1/4 \times VDD + (VR<3:0>/32) \times VDD$
-	bit4	-	-
VRR	bit5	R/W	<b>VREFACP</b> 范围选择位 0: 选择高压范围 1: 选择低压范围
-	bit6	-	-
VREN	bit7	R/W	<b>VREFACP</b> 使能位 0: VREFACP 线路关闭 1: VREFACP 线路使能

## 5.4 模/数转换器模块 (ADC)

### 5.4.1 概述

本芯片内置 10 位 A/D 转换模块，用于将模拟信号转换成相对应的 10 位数字信号。支持 8 个 ADC 模拟输入端。

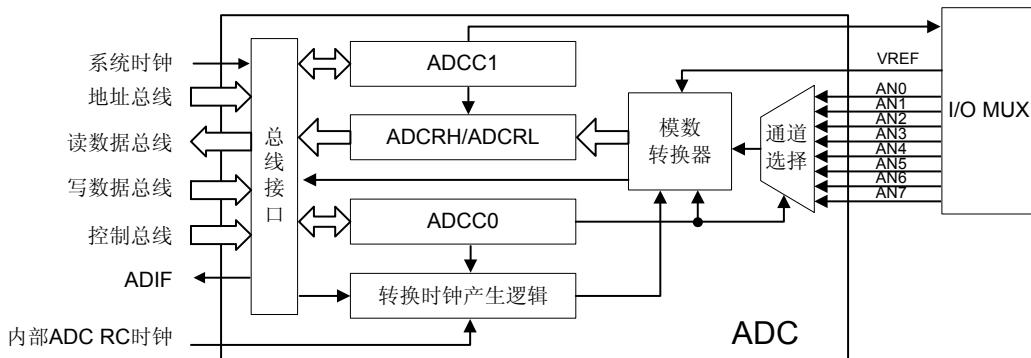


图 5-11 ADC 内部结构图

### 5.4.2 操作说明

以下通过 A/D 转换的程序和 ADC 时序特征图来说明 ADC 的操作步骤。

#### 应用例程: A/D 转换程序

```

.....
BANK 1           ; 选择存储体组 1
MOVI 0X01
MOVA ADCC1      ; 设置 A/D 模拟通道输入
BSS  INTE,ADIE   ; 使能 A/D 中断
BANK 0           ; 选择存储体组 0
MOVI 0X01        ; 使能 A/D 转换器，选中通道 0
MOVA ADCC0      ; PA0 作为 A/D 输入
BCC  INTF,ADIF   ; 清 A/D 中断标志
BSS  INTC0,PEIE   ; 使能外围功能部件中断
BSS  INTC0,GIE    ; 使能全局中断
; 为了确保采样时间，延迟一段时间后启动 A/D 转换
BSS  ADCC0,ADTRG
.....

```

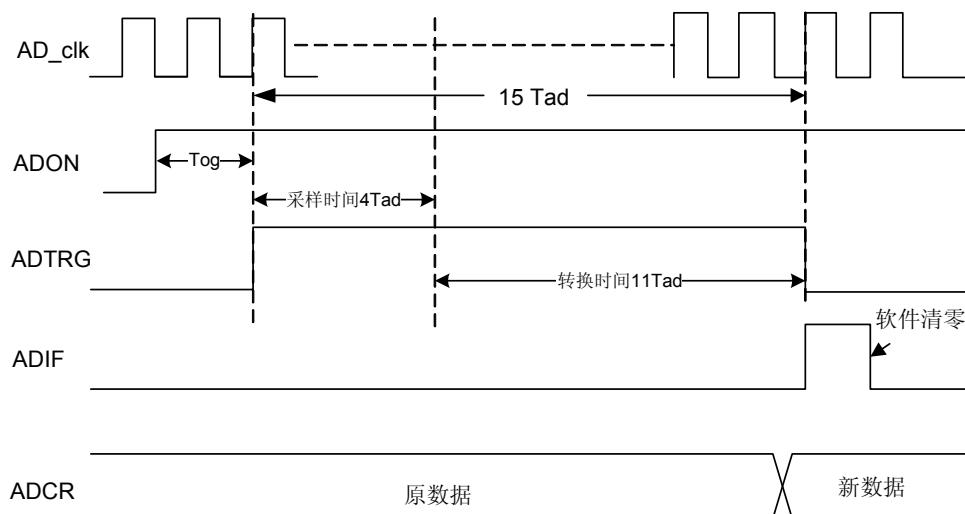


图 5-12 ADC 时序特征图

注 1: Tad 为 ADC 时钟周期;

注 2: Tog 为 A/D 转换使能--启动等待时间, 必须大于等于 0。

#### 5.4.3 特殊功能寄存器

ADC 控制寄存器 0 (ADCC0)			
地址	1F <sub>H</sub>		
复位值	00x0 0000		
ADON	bit0	R/W	<b>A/D 转换使能位</b> 0: 关闭 A/D 转换器 1: 运行 A/D 转换器
ADTRG	bit1	R/W	<b>A/D 转换状态位</b> 0: A/D 未进行转换, 或 A/D 转换已完成 1: A/D 转换正在进行, 该位置 1 启动 A/D 转换
ADCHS <2:0>	bit4-2	R/W	<b>A/D 模拟通道选择位</b> 000 = 通道 0 (AIN0) 001 = 通道 1 (AIN1) 010 = 通道 2 (AIN2) 011 = 通道 3 (AIN3) 100 = 通道 4 (AIN4) 101 = 通道 5 (AIN5) 110 = 通道 6 (AIN6) 111 = 通道 7 (AIN7)
-	bit5	-	-
ADVREF	bit6	R/W	<b>参考电压选择位</b> 0: 选择内部参考电压 VDD 1: 选择外部参考电压
ADFM	bit7	R/W	<b>10 位 ADC 转换结果格式选择位</b> 0: ADCRH<7:0>, ADCRL<7:6> 1: ADCRH<1:0>, ADCRL<7:0>

ADC 控制寄存器 1 (ADCC1)			
地址	9F <sub>H</sub>		
复位值	x000 1111		
ANSEL<3:0>	bit3-0	R/W	<b>AIN&lt;3:0&gt;端口使能位</b> 0: 端口配置为数字端口 1: 端口配置为模拟端口
ADCS<2:0>	bit6-4	R/W	<b>A/D 转换时钟选择位</b> 000: FOSC/2 001: FOSC/8 010: FOSC/32 x11: F <sub>RC</sub> 100: FOSC/4 101: FOSC/16 110: FOSC/64
-	bit7	-	-

ADC 控制寄存器 2 (ADCC2)			
地址	1D <sub>H</sub>		
复位值	1111 0000		
-	bit3-0	-	-
ANSEH<3:0>	bit7-4	R/W	<b>AIN&lt;7:4&gt;端口使能位</b> 0: 端口配置为数字端口 1: 端口配置为模拟端口

低 8 位 ADC 转换值寄存器 (ADCRL)			
地址	9E <sub>H</sub>		
复位值	xxxx xxxx		
ADCRL<7:0>	bit7-0	R/W	<b>低位转换结果</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

高 8 位 ADC 转换值寄存器 (ADCRH)			
地址	1E <sub>H</sub>		
复位值	xxxx xxxx		
ADCRH<7:0>	bit7-0	R/W	<b>高位转换结果</b> 00 <sub>H</sub> ~ FF <sub>H</sub>

## 第 6 章 特殊功能及操作特性

### 6.1 系统时钟

#### 6.1.1 概述

本芯片支持两种时钟源，外部时钟源和内部时钟源。外部时钟源支持 HS、LP、XT、RC、RCIO 和 EXTCLK 模式。内部时钟源支持 INTOSC 和 INTOSCI 模式。

具体的时钟源和对应模式选择由芯片配置字 OSCS (CONFIG<2:0>) 来决定。

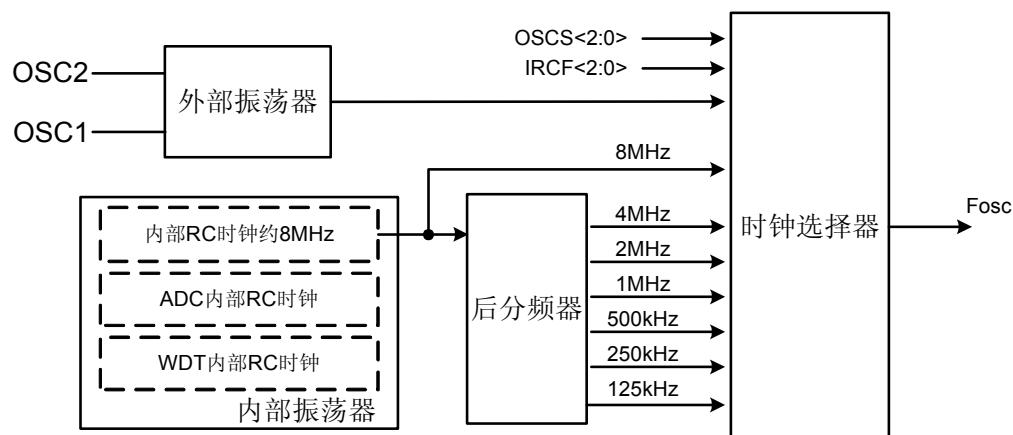


图 6-1 芯片系统时钟选择框图

#### 6.1.2 外部时钟

##### 6.1.2.1 外部EXTCLK灌时钟模式

OSCS<2:0> = 010 时，EXTCLK 灌时钟模式。CLKO 复用的管脚作为通用 I/O 口。

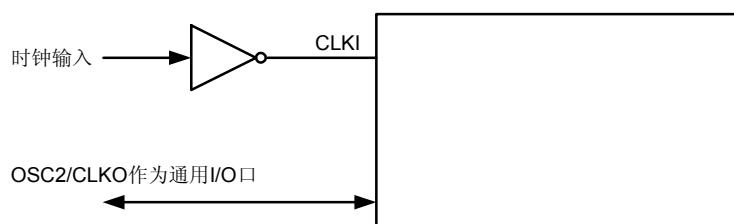


图 6-2 EXTCLK 外灌时钟输入模式参考图

### 6.1.2.2 外部RC模式

OSCS<2:0> = 011, 外部时钟源 RCIO 模式, CLKO 复用的管脚作为通用 I/O 口。

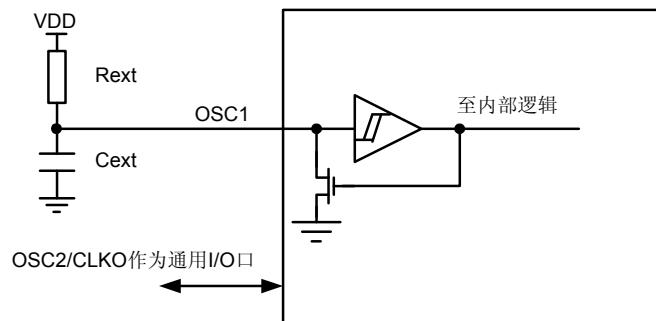


图 6-3 RCIO 振荡器模式等效电路图及外围参考图

OSCS<2:0> = 100, 外部时钟源 RC 模式, CLKO 输出  $F_{osc}/4$ 。

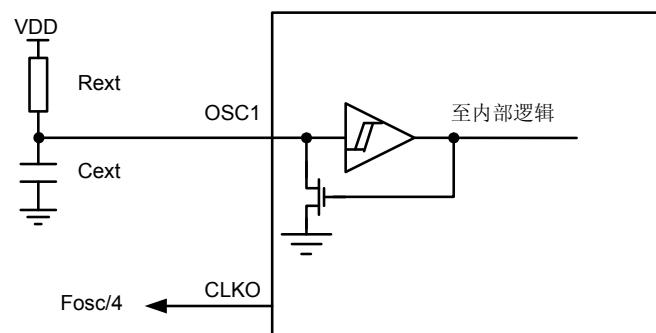


图 6-4 RC 振荡器模式等效电路图及外围参考图

工作条件: -40~85°C 3.0~5.5V	
推荐外部电阻范围	$15k \leq R_{ext} \leq 100k$
推荐外部电容范围	$20pf \leq C_{ext} \leq 300pf$
推荐振荡频率范围	$10kHz \leq f \leq 4MHz$

表 6-1 外部 RC 模式推荐参数

### 6.1.2.3 外部LP、XT和HS模式

OSCS<2:0> = 101, 外部时钟源 LP 模式。

OSCS<2:0> = 110, 外部时钟源 XT 模式。

OSCS<2:0> = 111, 外部时钟源 HS 模式。

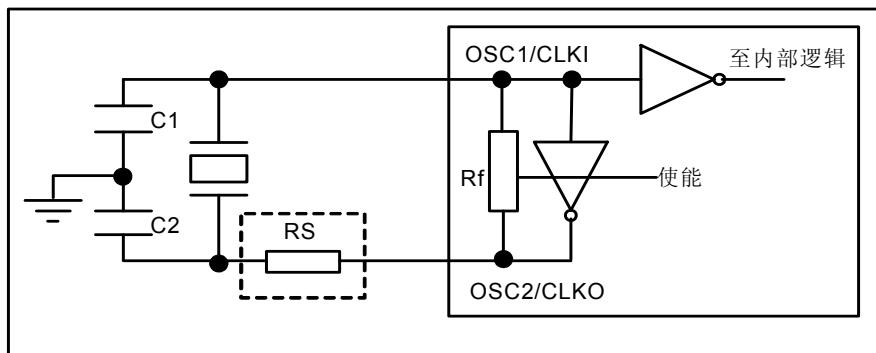


图 6-5 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注: RS 为可选配置。

Osc Type	晶振频率	C1*	C2*
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	16MHz		

表 6-2 晶体振荡器电容参数参考表

注: 此数据可根据晶振频率大小、外围电路的不同作微调。

### 6.1.3 内部时钟

OSCS<2:0> = 000, OSC1/CLKI, OSC2/CLKO 复用的管脚作为通用 I/O 口。

OSCS<2:0> = 001, CLKO 输出  $F_{osc}/4$ , OSC1/CLKI 复用的管脚作为通用 I/O 口。

当使用内部时钟源模式时, 可通过内部时钟频率选择位 IRCPRS (OSCC<6:4>) 来选择分频后的频率值。

内部时钟校准值在出厂前已作校准。对 CALR 寄存器的修改将屏蔽出厂校准值。

注: 为了获得高精准的时钟, 如果用户系统为 3.3V 电压, 建议使用 3.3V 校准出厂的芯片; 如果客户系统为 5V 电压, 建议使用 5V 校准出厂的芯片。

## 6.1.4 特殊功能寄存器

时钟控制寄存器 (OSCC)			
地址	$8F_H$		
复位值	0110 0000		
-	bit3-0	R/W	-
IRCPRS <2:0>	bit6-4	R/W	内部时钟频率选择位 000 = 8 MHz 001 = 125 kHz 010 = 250 kHz 011 = 500 KHz 100 = 1 MHz 101 = 2 MHz 110 = 4 MHz 111 = 8 MHz
-	bit7	-	-

时钟校准寄存器 (CALR)			
地址	$90_H$		
复位值	1111 1111		
CALR<7:0>	bit7-0	R/W	频率调节位 $FF_H$ = 时钟频率最小 ..... $00_H$ = 时钟频率最大

## 6.2 复位模块

### 6.2.1 概述

本芯片支持多种复位方式，包括：

- ◇ 上电复位 POR
- ◇ 低电压检测复位 BOR
- ◇ 外部端口 **N\_MRST** 复位（低电平有效）
- ◇ 看门狗定时器 WDT 溢出复位

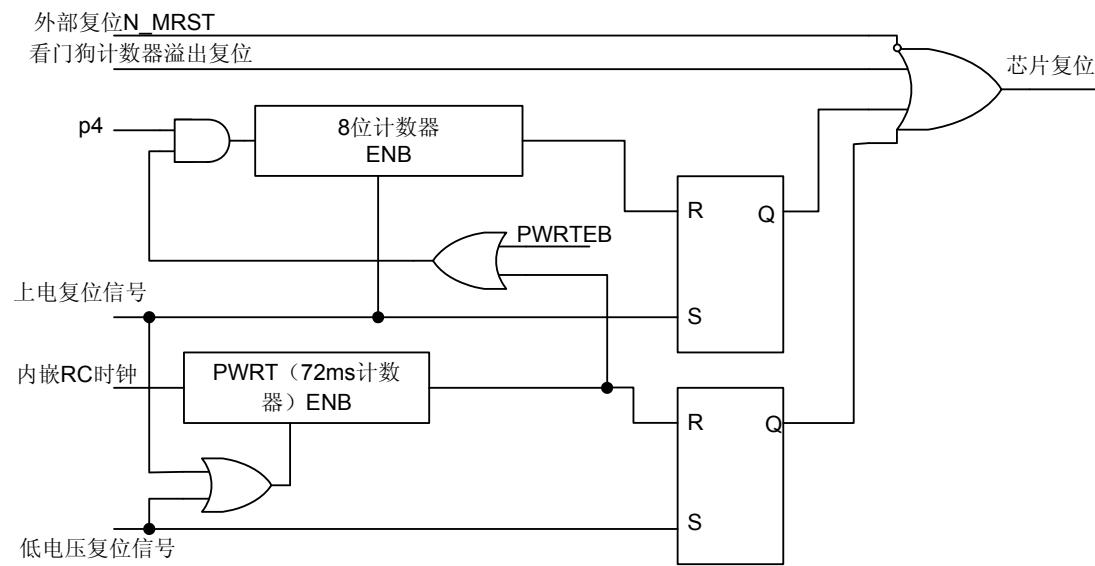


图 6-6 芯片复位原理图

注：计数器 ENB 为 1 时，计数器清零。

### 6.2.2 应用举例

#### ◇ 应用举例一

采用下图所示的复位电路，其中  $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容  $C1$  ( $0.1\mu\text{F}$ )， $R2$  为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

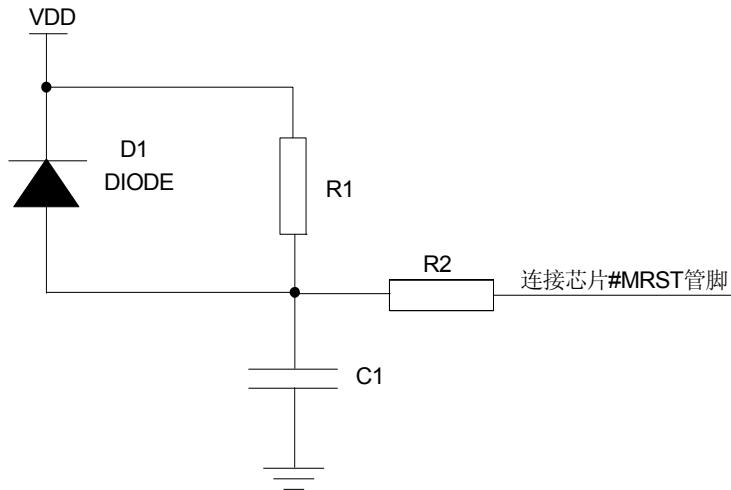


图 6-7 RC 复位电路

#### ◇ 应用举例二

采用 PNP 三极管的复位电路，如下图所示，通过  $R1$  ( $2\text{K}\Omega$ ) 和  $R2$  ( $10\text{K}\Omega$ ) 分压作为基极输入，发射极接  $VDD$ ，集电极一路通过  $R3$  ( $20\text{K}\Omega$ ) 接地，另一路通过  $R4$  ( $1\text{K}\Omega$ ) 和  $C1$  ( $0.1\mu\text{F}$ ) 接地， $C1$  另一端作为  $N\_MRST$  输入。

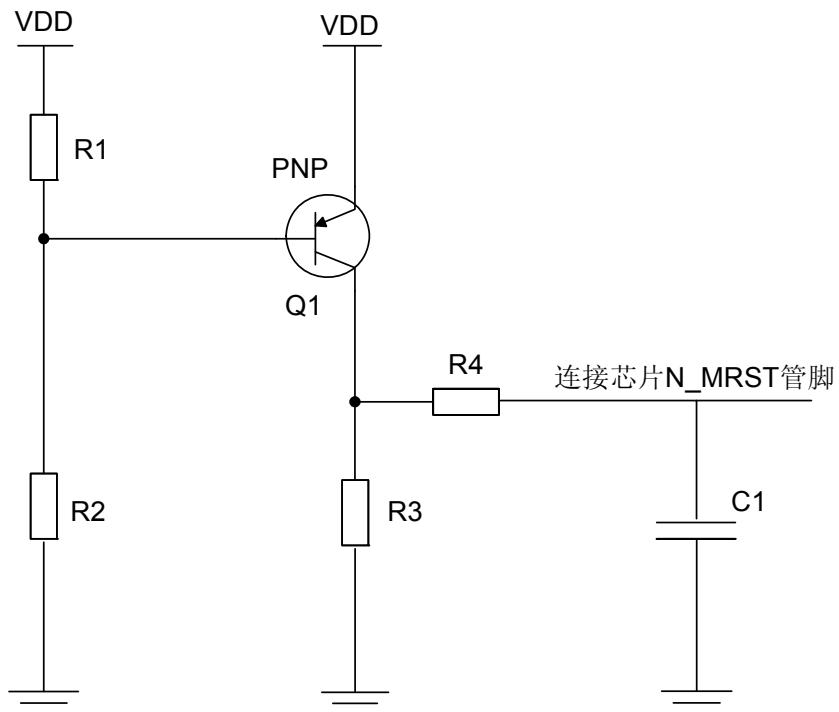


图 6-8 三极管复位电路

### 6.2.3 特殊功能寄存器

寄存器名称	电源状态控制寄存器 (PWRC)		
地址	8E <sub>H</sub>		
复位值	0000 000x		
N_BOR	bit0	R/W	<b>低电压检测复位状态位</b> 0: 低电压检测复位发生 (低电压检测复位后, 必须用软件置位) 1: 无低电压检测复位发生
N_POR	bit1	R/W	<b>上电复位状态位</b> 0: 上电复位发生 (上电复位后, 必须用软件置位) 1: 无上电复位发生
-	bit7-2	-	-

## 6.3 中断处理

### 6.3.1 概述

本芯片支持 10 个中断源。支持两种中断模式，默认中断模式和向量中断模式，由配置位 INTVEN1 和寄存器控制位 INTVEN0 选择。

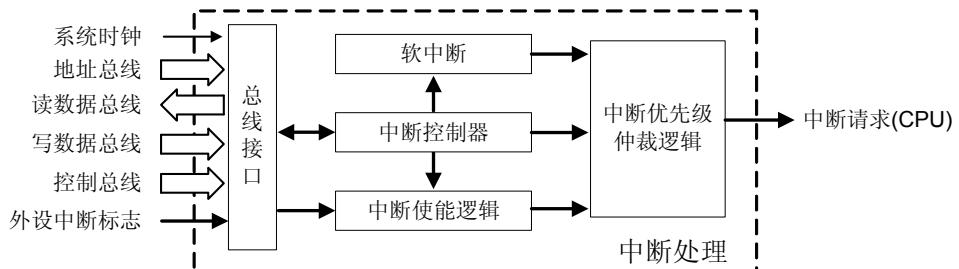


图 6-9 中断控制逻辑

### 6.3.2 中断使能表

序号	中断名	中断标志	中断使能	外设使能	全局使能	备注
1	软中断	-	-	-	GIE	
2	PINT	PIF	PIE	-	GIE	-
3	T8NINT	T8NIF	T8NIE	-	GIE	-
4	KINT	KIF	KIE	PEIE	GIE	-
5	T8PINT	T8PIF	T8PIE	PEIE	GIE	-
6	T16GINT	T16GIF	T16GIE	PEIE	GIE	-
7	ADINT	ADIF	ADIE	PEIE	GIE	-
8	ACPINT	ACPIF	ACPIE	PEIE	GIE	-
9	TEINT	TEIF	TEIE	PEIE	GIE	-
10	EEINT	EEIF	EEIE	PEIE	GIE	-

表 6-3 中断使能表（默认中断模式）

序号	中断名	中断标志	中断使能	全局使能		备注
1	软中断	SOFTIF	-	-	-	-
2	PINT	PIF	PIE	GIEL	GIE	IGPx 选择 GIE/GIEL
3	T8NINT	T8NIF	T8NIE	GIEL	GIE	IGPx 选择 GIE/GIEL
4	KINT	KIF	KIE	GIEL	GIE	IGPx 选择 GIE/GIEL
5	T8PINT	T8PIF	T8PIE	GIEL	GIE	IGPx 选择 GIE/GIEL
6	T16GINT	T16GIF	T16GIE	GIEL	GIE	IGPx 选择 GIE/GIEL
7	ADINT	ADIF	ADIE	GIEL	GIE	IGPx 选择 GIE/GIEL
8	ACPINT	ACPIF	ACPIE	GIEL	GIE	IGPx 选择 GIE/GIEL
9	TEINT	TEIF	TEIE	GIEL	GIE	IGPx 选择 GIE/GIEL
10	EEINT	EEIF	EEIE	GIEL	GIE	IGPx 选择 GIE/GIEL

表 6-4 中断使能表（向量中断模式）

### 6.3.3 默认中断模式

当配置位 INTVEN1 位或寄存器控制位 INTVEN0 为 0 时, 系统处于默认中断模式, 所有中断向量的入口地址均位于  $004_H$ 。用户需通过判断各中断源的标志位及使能位, 区分是由哪个中断源引起的中断, 从而执行相应的中断服务子程序, 此时无软件中断。

### 6.3.4 向量中断模式

当 INTVEN1 与 INTVEN0 位同时为 1 时, 系统处于向量中断模式。该模式下, 软中断固定为最高优先级, 入口地址为  $004_H$ 。其它中断源分 8 组, 对应至 8 个有默认优先级的中断入口地址。可通过 INTP 寄存器为每组中断设置高/低优先级。

#### 6.3.4.1 中断向量分组

本芯片 10 个硬件中断源, 分 8 组 (IG0 ~ IG7)。软件中断单独归类。

中断组号	高低优先级选择	中断名	备注
IG0	IGP0	KINT	-
		PINT	-
IG1	IGP1	T8NINT	-
IG2	IGP2	-	-
IG3	IGP3	T8PINT	-
		T16GINT	-
IG4	IGP4	TEINT	-
IG5	IGP5	-	-
IG6	IGP6	ADINT	-
		ACPINT	-
IG7	IGP7	EEINT	-

表 6-5 中断向量分组表

#### 6.3.4.2 中断向量分配表

优先级		0 (高)	1	2	3	4	5	6	7	8 (低)
入口地址		004_H	008_H	00C_H	010_H	014_H	018_H	01C_H	020_H	024_H
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 6-6 中断向量分配表

### 6.3.4.3 中断优先级仲裁

软件中断的优先级最高。

8 组硬件中断源的优先级可以设置，从而响应不同需求的中断嵌套。硬件中断源的优先级设置分 2 部分。IGPx 选择和 INTV<1:0>设置。

通过 **IGPx** 的选择将所有硬件中断源分为高低两个优先级仲裁区。**IGP0~IGP7** 分别针对硬件中断组 **IG0~IG7**。而高低两个优先级仲裁区，根据 **INTV<1:0>**的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，从而先响应优先级最高的。高低两个优先级仲裁区分别由 **GIE** 和 **GIEL** 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

### 6.3.5 其它操作说明

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 **PUSH** (压栈) 和 **POP** (出栈) 指令，可以方便实现当前工作状态的保存和恢复。**A**、**B**、**PSW** 和 **PCRH** 寄存器分别有各自的两级镜像寄存器 **AS1**、**BS1**、**PSWS1**、**PCRHS1** 和 **AS0**、**BS0**、**PSWS0**、**PCRHS0**，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址。他们只能通过 **PUSH** 和 **POP** 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

## 6.3.6 特殊功能寄存器

中断控制寄存器 0 (INTC0)			
地址	0B <sub>H</sub> 8B <sub>H</sub>		
复位值	0000 000x		
KIF	bit0	R/W	<p><b>外部按键中断标志位</b>            0: 外部按键端口无电平变化            1: 外部按键端口有电平变化 (必须用软件清零)</p>
PIF	bit1	R/W	<p><b>外部端口中断标志位</b>            0: 外部端口上无中断信号            1: 外部端口上有中断信号 (必须用软件清零)</p>
T8NIF	bit2	R/W	<p><b>T8N 溢出中断标志位</b>            0: T8N 计数未溢出            1: T8N 计数溢出 (必须用软件清零)</p>
KIE	bit3	R/W	<p><b>外部按键中断使能位</b>            0: 禁止外部按键中断            1: 使能外部按键中断</p>
PIE	bit4	R/W	<p><b>外部端口中断使能位</b>            0: 禁止外部端口中断            1: 使能外部端口中断</p>
T8NIE	bit5	R/W	<p><b>T8N 溢出中断使能位</b>            0: 禁止 T8N 中断            1: 使能 T8N 中断</p>
PEIE_GIEL	bit6	R/W	<p><b>外围中断使能位/低优先级中断使能</b>            0: 禁止外设中断/禁止低优先级中断            1: 使能未屏蔽的外设中断/使能低优先级中断</p>
GIE	bit7	R/W	<p><b>全局中断使能位, 或高优先级中断使能</b>            0: 禁止所有的中断, 或禁止高优先级中断            1: 使能所有未屏蔽的中断, 或使能高优先级中断</p>

中断控制寄存器 1 (INTC1)			
地址	93 <sub>H</sub>		
复位值	0000 0000		
INTV<1:0>	bit1-0	R/W	中断向量表选择位, 具体可参考《中断向量分配表》章节
-	bit2	-	-
SOFTIF	bit3	R/W	<p><b>软中断标志位</b>            0: 无软中断            1: 有软中断</p>
INTVEN0	bit4	R/W	<p><b>中断向量表及软中断使能位</b>            0: 默认中断模式, 无软中断            1: 向量中断模式</p>
-	bit7-5	-	-

寄存器名称				中断优先级设置寄存器 (INTP)			
地址				94 <sub>H</sub>			
复位值				0000 0000			
IGP0	bit0	R/W		<b>IG0 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP1	bit1	R/W		<b>IG1 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP2	bit2	R/W		<b>IG2 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP3	bit3	R/W		<b>IG3 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP4	bit4	R/W		<b>IG4 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP5	bit5	R/W		<b>IG5 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP6	bit6	R/W		<b>IG6 中断优先级设置</b> 0: 低优先级 1: 高优先级			
IGP7	bit7	R/W		<b>IG7 中断优先级设置</b> 0: 低优先级 1: 高优先级			

中断使能寄存器 (INTE)			
地址	8C <sub>H</sub>		
复位值	0000 0000		
T16GIE	bit0	R/W	<b>T16G 中断使能位</b> 0: 禁止 T16G 中断 1: 使能 T16G 中断
T8PIE	bit1	R/W	<b>T8P 中断使能位</b> 0: 禁止 T8P 中断 1: 使能 T8P 中断
-	bit2	-	-
ACPIE	bit3	R/W	<b>模拟比较器中断使能位</b> 0: 禁止模拟比较器中断 1: 使能模拟比较器中断
-	bit4	-	-
TEIE	bit5	R	<b>TE 中断使能位</b> 0: 禁止 TE 中断 1: 使能 TE 中断
ADIE	bit6	R/W	<b>ADC 中断使能位</b> 0: 禁止 ADC 中断 1: 使能 ADC 中断
EEIE	bit7	R/W	<b>EEPROM 中断使能位</b> 0: 禁止 EEPROM 中断 1: 使能 EEPROM 中断

中断标志寄存器 (INTF)			
地址	0C <sub>H</sub>		
复位值	000x 0x00		
T16GIF	bit0	R/W	<b>T16G 中断标志位</b> 0: T16G 计数器计数未发生溢出 1: T16G 计数器计数溢出 (必须软件清零)
T8PIF	bit1	R/W	<b>T8P 中断标志位</b> 0: T8P 计数器计数未发生溢出 1: T8P 计数器计数溢出 (必须软件清零)
-	bit2	-	-
ACPIF	bit3	R/W	<b>模拟比较器中断标志位</b> 0: 模拟比较器输出没有变化 1: 模拟比较器输出有变化 (必须软件清零)
-	bit4	-	-
TEIF	bit5	R/W	<b>TE 中断标志位</b> 0: 捕捉器功能扩展: 表示未发生捕捉中断 比较器功能扩展: 表示未发生比较匹配中断 PWM 方式: 未用 1: 捕捉器功能扩展: 表示发生捕捉中断 (必须用软件清零) 比较器功能扩展: 表示发生比较匹配中断 (必须用软件清零) PWM 方式: 未用
ADIF	bit6	R/W	<b>ADC 中断标志位</b> 0: 正在进行 A/D 转换 1: A/D 转换已完成 (必须用软件清零)
EEIF	bit7	R/W	<b>EEPROM 写操作中断标志位</b> 0: 写操作未完成/没开始 1: 写操作完成 (必须软件清零)

按键屏蔽控制寄存器 (KMSK)			
地址	96 <sub>H</sub>		
复位值	0000 0000		
KMSK<5:0>	bit5-0	R/W	<b>KINx 按键中断屏蔽使能位</b> 0: 屏蔽按键中断 1: 使能按键中断
-	bit7-6	-	-

## 6.4 看门狗定时器

当芯片配置字选择使能 WDTEN (配置字 CONFIG<3>) 时, 看门狗开始工作, 为了防止看门狗超时溢出引起不必要的芯片复位, 必须在程序中用 CWDT 指令对 WDT 计数器定时清零; 芯片配置字选择不使能 WDTEN 时, 看门狗停止工作。通过 PSA 位的设置 (BSET<3>) 来选择预分频是否被分配给 WDT。

没有预分频时, WDT 计数溢出时间典型值约为 21ms。其它工作条件下, WDT 的计数溢出时间, 可参考《附录 参数特性图》章节的相关图示。

下图为 WDT 功能示意图, 内部 RC 时钟典型工作频率约为 24KHz (常温, VDD=5.0V), 经二分频后给 WDT 使用。

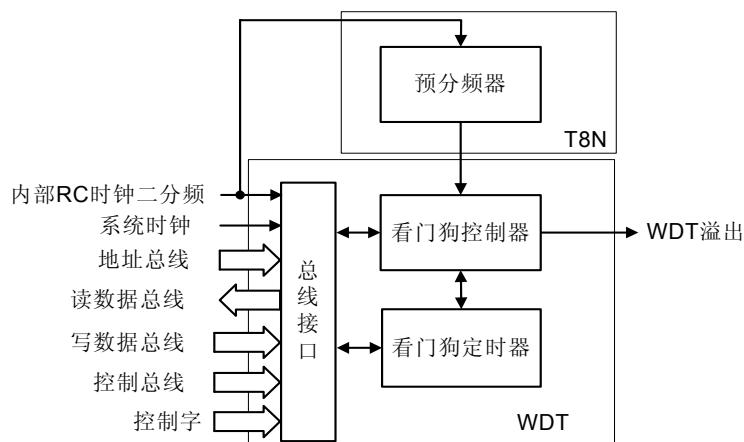


图 6-10 看门狗定时器示意图

## 6. 5 低功耗操作

### 6. 5. 1 低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 LPMS 位 (CONFIG<12>) 进行选择。

在低功耗模式下，为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，N\_MRST 管脚必须处于逻辑高电平。

执行一条指令 IDLE，即可进入休眠模式。进入休眠状态之后：

- ◇ 在 IDLE1 模式下，芯片时钟源不停振，主系统时钟暂停
- 在 IDLE0 模式下，芯片时钟源停振，主系统时钟暂停
- ◇ 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- ◇ 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期，需计算主时钟源稳定时间
- ◇ 所有 I/O 端口将保持进入 IDLE 前的状态
- ◇ 若使能 WDT，则 WDT 将被清零并保持运行
- ◇ N\_PD 位被清零，N\_TO 位被置 1

## 6.5.2 唤醒

### 6.5.2.1 唤醒方式

当芯片处于低功耗模式时，可以支持如下唤醒方式：

序号	唤醒方式	中断使能	外设使能	备注
1	N_MRST	-	-	外部复位
2	WDT	-	-	WDT 溢出
3	KINT	KMSK0~5	PEIE	-
4	PINT	PIE	-	-
5	T16GINT	T16GIE	PEIE	异步计数模式
6	EEINT	EEIE	PEIE	-
7	ACPINT	ACPIE	PEIE	-
8	ADINT	ADIE	PEIE	A/D 时钟源为 RC 振荡器

表 6-7 低功耗唤醒表

芯片从休眠模式唤醒，需要注意以下两点：

- 1、低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。
- 2、当唤醒事件发生后，芯片需要在主时钟运行 n 个时钟周期后才执行 IDLE 指令的下一条指令。n 可以通过 WKDC 寄存器进行设置；在 IDLE1 模式下，支持最小 1 个机器周期唤醒；在 IDLE0 模式下，需要先等待主时钟源稳定后，再等待 n 个周期。

### 6.5.2.2 唤醒时间设置

低功耗模式下的唤醒延时时钟数，可由 WKDC<7:0>来设置。

IDLE0 模式唤醒时间：

$$T_{wkup} = (WKDC[7:4] + 1) \times 16 \times 4 \text{ Tosc}$$

IDLE1 模式唤醒时间：

$$T_{wkup} = (WKDC<7:0> + 1) \times 4 \text{ Tosc}$$

## 6.5.3 特殊功能寄存器

唤醒延时控制寄存器 (WKDC)			
地址	1B <sub>H</sub>		
复位值	1111 1111		
WKDC<7:0>	bit7-0	R/W	<p>延时计数器设置</p> <p>0000 0000: 延时最短</p> <p>.....</p> <p>11111 1111: 延时最长</p>

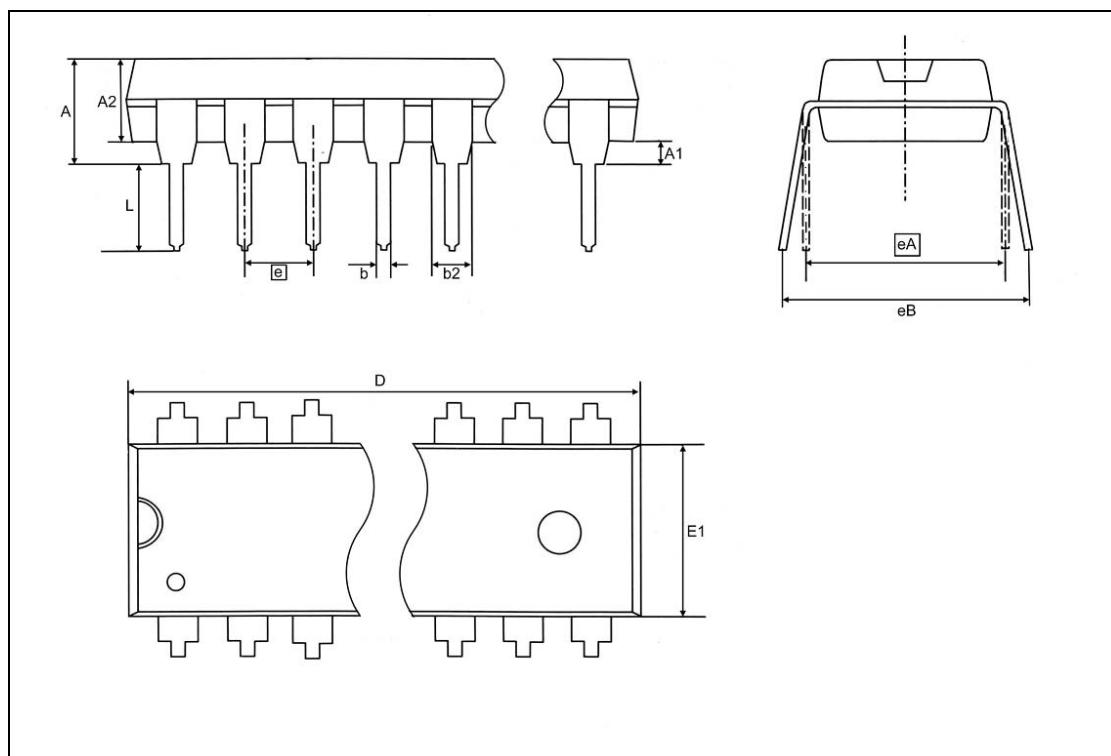
## 6.6 芯片配置字

寄存器名称		CONFIG 芯片配置字
地址	8001 <sub>H</sub>	
OSCS<2:0>	bit2-0	<b>振荡器选择位</b> 000 = INTOSCIO 模式: PA4 为 I/O 管脚, PA5 为 I/O 管脚 001 = INTOSC 模式: PA4 管脚功能为 CLKO, PA5 为 I/O 管脚 010 = EXTCLK 模式: PA4 为 I/O 管脚, PA5 管脚功能为 CLKI 011 = RCIO 模式: PA4 为 I/O 管脚, PA5 管脚连接 RC 100 = RC 模式: PA4 管脚功能为 CLKO, PA5 管脚连接 RC 101 = LP 模式: 低功耗晶振连接到 PA4 和 PA5 管脚 110 = XT 模式: 晶振/谐振器连接到 PA4 和 PA5 管脚 111 = HS 模式: 高速晶振/ 谐振器连接到 PA4 和 PA5 管脚
WDTEN	bit3	<b>硬件看门狗使能位</b> 0: 禁止 1: 使能
N_PWRTEB	bit4	<b>上电定时器使能位</b> 0: 使能 1: 禁止
-	bit5	-
N_CP	bit6	<b>加密使能位 (程序加密后读出为全 0)</b> 0: 使能 1: 禁止
INTVEN1	bit7	<b>中断向量表 (优先级) 使能</b> 0: 禁止 1: 使能
BOREN	bit8	<b>低电压检测复位使能位</b> 0: 禁止 1: 使能
BORVS<1:0>	bit10-9	<b>低电压选择位</b> 11: 2.3V 10: 2.7V 01: 3.2V 00: 3.8V
MRSTEN	bit11	<b>N_MRST 管脚功能选择位</b> 0: 管脚用于数字输入 1: 管脚用于外部复位
LPMS	bit12	<b>低功耗模式选择位</b> 0: IDLE1 模式 1: IDLE0 模式

## 第 7 章 芯片封装图

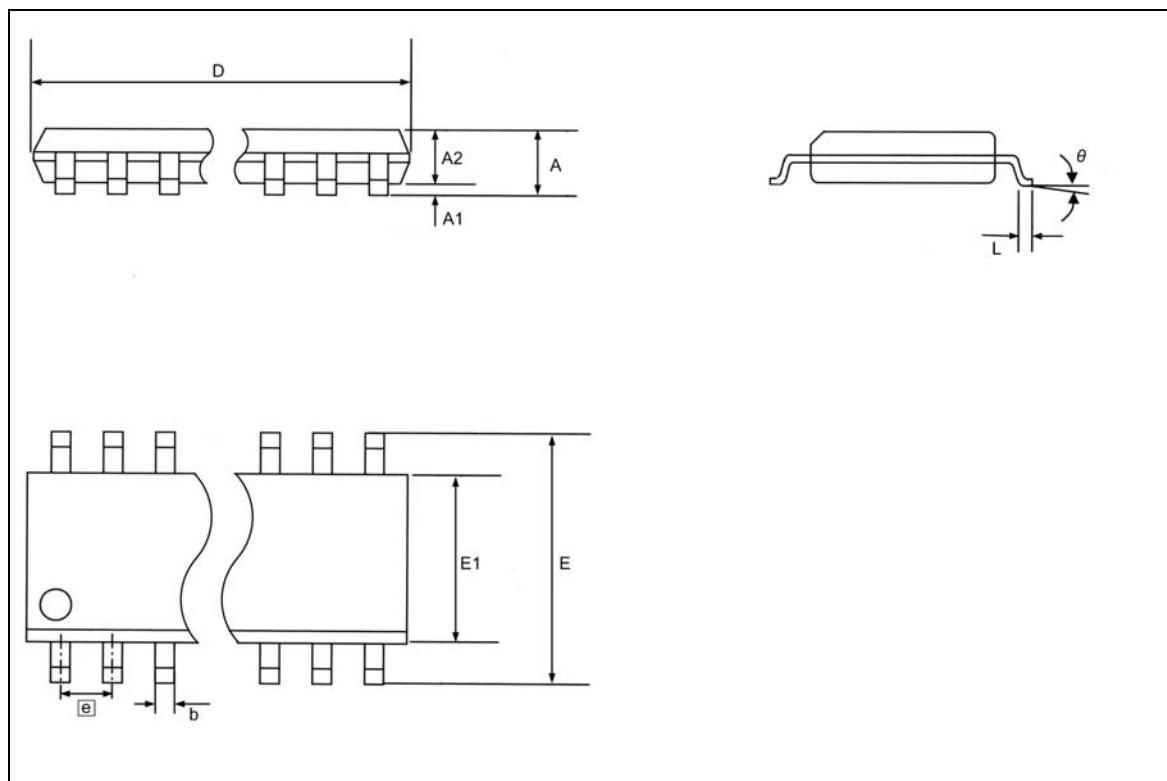
## 7.1 14-pin 封装图

DIP14



封装: DIP14						
标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	4.57	-	-	0.180
A1	0.38	-	-	0.015	-	-
A2	3.25	3.30	3.45	0.128	0.130	0.136
b	0.36	0.46	0.56	0.014	0.018	0.022
b2	1.27	1.52	1.78	0.050	0.060	0.070
D	18.83	19.07	19.30	0.741	0.751	0.760
E1	6.35	6.50	6.65	0.250	0.256	0.262
e	-	2.54	-	-	0.100	-
eA	7.62	-	8.26	0.300	-	0.325
eB	8.64	-	9.65	0.340	-	0.380
L	3.18	-	-	0.125	-	-

## SOP14



封装: SOP14

标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.60	1.75	0.053	0.063	0.069
A1	0.10	-	0.25	0.004	-	0.010
A2	-	1.45	-	-	0.057	-
D	8.55	-	8.75	0.337	-	0.344
E	5.80	-	6.20	0.228	-	0.244
E1	3.80	-	4.00	0.150	-	0.157
b	0.33	-	0.51	0.013	-	0.020
e	-	1.27	-	-	0.050	-
L	0.40	-	1.27	0.016	-	0.050
θ	0°	-	8°	0°	-	8°

## 附录1 指令集

### 附录1.1 概述

本芯片提供了 66 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

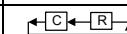
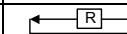
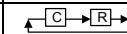
芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 1μs。按照指令执行的机器周期数可将指令分为双周期指令和单周期指令。其中控制程序流程的指令 CALL、GOTO、RET、RETIA、RETIE 为双周期指令；当满足跳转条件时，JBC、JBS、JDEC、JINC、JCAIE、JCAIG、JCAIL、JCRAE、JCRAG、JCRAR 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

对 R 寄存器操作的指令，其中 MOVAR、MOVRA 指令，R 为 8 位寄存器地址，不受 SECTION 影响；其它对 R 寄存器操作的指令，R 为 7 位寄存器地址，操作时需要选择 SECTION。

### 附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	BANK	N	-	1	N->PSW<5>
2	MOV	R, F	Z	1	(R)->(目标)
3	MOVA	R	-	1	(A)->(R)
4	MOVAB	F	-	1	(B)->(A)或(A)->(B)
5	MOVAR	R	-	1	(A)->(R) (0≤r≤255)
6	MOVI	I	-	1	I->(A)
7	MOVRA	R	-	1	(R)->(A) (0≤r≤255)
8	PAGE	N	-	1	本芯片不支持

## 附录1.3 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
9	ADD	R, F	C, DC, Z	1	(R)+(A)->(目标)
10	ADDC	R, F	C, DC, Z	1	(R)+(A)+C->(目标)
11	ADDCI	I	C, DC, Z	1	I+(A)+C->(A)
12	ADDI	I	C, DC, Z	1	I+(A)->(A)
13	AND	R, F	Z	1	(A).AND.(R)->(目标)
14	ANDI	I	Z	1	I.AND.(A)->(A)
15	BCC	R, M	-	1	0->R<M>
16	BSS	R, M	-	1	1->R<M>
17	BTT	R, M	-	1	(~R<M>)->R<M>
18	CLR	R	Z	1	(R) = 0
19	CLRA		Z	1	(A) = 0
20	CLRB		Z	1	(B) = 0
21	COM	R, F	Z	1	(~R)->(目标)
22	DAR	R, F	C	1	对(R)进行十进制调整->(目标)
23	DAW		C	1	对(A)进行十进制调整->(A)
24	DEC	R, F	C, DC, Z	1	(R)-1->(目标)
25	INC	R, F	C, DC, Z	1	(R)+1->(目标)
26	IOR	R, F	Z	1	(A).OR.(R)->(目标)
27	IORI	I	Z	1	I.OR.(A)->(A)
28	MUL	R, F	-	1	(R).MUL.(A)-> {B, 目标}
29	MULI	I	-	1	I.MUL.(A)-> {B, A}
30	RL	R, F	C, Z	1	
31	RLNC	R, F	Z	1	
32	RR	R, F	C, Z	1	
33	RRNC	R, F	Z	1	
34	SETR	R	-	1	FFH->(R)
35	SUB	R, F	C, DC, Z	1	(R)-(A)->(目标)
36	SUBC	R, F	C, DC, Z	1	(R)-(A)- (~C)->(目标)
37	SUBCI	I	C, DC, Z	1	I-(A)- (~C)->(A)
38	SUBI	I	C, DC, Z	1	I-(A)->(A)
39	SSUB	R, F	C, DC, Z	1	(A)-(R)->(目标)
40	SSUBC	R, F	C, DC, Z	1	(A)-(R)- (~C)->(目标)
41	SSUBCI	I	C, DC, Z	1	(A)-I- (~C)->(A)
42	SSUBI	I	C, DC, Z	1	(A)-I->(A)
43	SWAP	R, F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
44	XOR	R, F	Z	1	(A).XOR.(R)->(目标)
45	XORI	I	Z	1	I.XOR.(A)->(A)

## 附录1.4 程序控制指令

序号	指令		影响状态位	机器周期	操作
46	CALL	I	-	2	PC+1→TOS, I→PC<10:0>
47	CWDT		N_TO, N_PD	1	00H→WDT, 0→WDT Prescaler, 1→N_TO, 1→N_PD
48	GOTO	I	-	2	I→PC<10:0>
49	IDLE		N_TO, N_PD	1	00H→WDT, 0→WDT Prescaler, 1→N_TO, 0→N_PD
50	JBC	R, M	-	1(2)	如果 R<M> = 0, 则跳过下一条指令
51	JBS	R, M	-	1(2)	如果 R<M> = 1, 则跳过下一条指令
52	JCAIE	I	-	1(2)	如果(A) = i, 则跳过下一条指令
53	JCAIG	I	-	1(2)	如果(A) > i, 则跳过下一条指令
54	JCAIL	I	-	1(2)	如果(A) < i, 则跳过下一条指令
55	JCRAE	I	-	1(2)	如果(R) = (A), 则跳过下一条指令
56	JCRAG	I	-	1(2)	如果(R) > (A), 则跳过下一条指令
57	JCRAL	I	-	1(2)	如果(R) < (A), 则跳过下一条指令
58	JDEC	R, F	-	1(2)	(R)-1→(目标), 如果(目标) = 0, 则跳过下一条指令
59	JINC	R, F	-	1(2)	(R)+1→(目标), 如果(目标) = 0, 则跳过下一条指令
60/61	NOP		-	1	空操作
62	POP		-	1	退出中断处理时返回 A, B, PSW, PCRH 寄存器的值
63	PUSH		-	1	进入中断处理时自动保护 A, B, PSW, PCRH 寄存器的值
64	RET		-	2	TOS→PC
65	RETIA	I	-	2	TOS→PC, I→(A)
66	RETIE		-	2	TOS→PC, 1→GIE

注 1: i—立即数, F—标志位, A—寄存器 A, B—寄存器 B, R—寄存器 R, M—寄存器 R 的第 M 位。

注 2: C—进位/借位, DC—半进位/半借位, Z—零标志位。

注 3: TOS—顶级堆栈。

注 4: 如果 F = 0, 则目标寄存器为寄存器 A; 如果 F = 1, 则目标寄存器为寄存器 R。

## 附录2 电气特性

### 附录2.1 参数特性表

#### ◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	−0.3 ~ 7.5	V
输入电压	V <sub>IN</sub>	—	−0.3 ~ VDD + 0.3	V
输出电压	V <sub>OUT</sub>	—	−0.3 ~ VDD + 0.3	V
存储温度	T <sub>STG</sub>	—	−55 ~ 125	℃
操作温度	T <sub>OPR</sub>	VDD: 3.0 ~ 5.5V	−40 ~ 85	℃

#### ◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	3.0	—	5.5	V	−40℃ ~ 85℃
芯片静态电流	I <sub>DD</sub>	—	800	—	uA	25℃, VDD = 5V, 所有的 I/O 输入低电平, N_MRST = 0, OSC1 = 0, OSC2 悬空。
IDLE0 模式下 芯片电流	I <sub>PD</sub>	—	9	—	uA	25℃, VDD = 5V, BOR 不使能, WDT 不使能。
		—	10	—	uA	25℃, VDD = 5V, BOR 不使能, WDT 使能, 时钟源 256 分频。
		—	70	—	uA	25℃, VDD = 5V, BOR 使能, WDT 不使能。
IDLE1 模式下 芯片电流	I <sub>PD</sub>	—	1450	—	uA	25℃, VDD = 5V, 8MHz 时钟输入, BOR 不使能, WDT 不使能。
		—	1450	—	uA	25℃, VDD = 5V, 8MHz 时钟输入, BOR 不使能, WDT 使能, 时钟源 256 分频。
		—	1510	—	uA	25℃, VDD = 5V, 8MHz 时钟输入, BOR 使能, WDT 不使能。

## ◆ 芯片功耗特性参数表 (续)

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式 芯片电流	$I_{OP}$	—	5	—	mA	$25^{\circ}\text{C}$ , $VDD = 5\text{V}$ , 正常运行模式, 8MHz 时钟输入, I/O 端口输出固定电平, 无负载。
VDD 管脚的最大输入电流	$I_{MDD}$	—	80	100	mA	$25^{\circ}\text{C}$ , $VDD = 5\text{V}$
VSS 管脚的最大输出电流	$I_{MSS}$	—	120	—	mA	$25^{\circ}\text{C}$ , $VDD = 5\text{V}$
I/O 端口灌电流	$I_{OL}$	—	18	—	mA	$25^{\circ}\text{C}$ , $VDD = 5\text{V}$ $V_{OL} = 0.6\text{V}$
I/O 端口拉电流	$I_{OH}$	—	8	—	mA	$25^{\circ}\text{C}$ , $VDD = 5\text{V}$ $V_{OH} = 4.4\text{V}$

## ◆ 芯片输入端口特性表

芯片工作温度范围: $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输入高电平 (有 施密特输入特 性)	$V_{IH}$	0.8VDD	—	VDD	V	$3.0\text{V} \leq VDD \leq 5.5\text{V}$
主复位信号 N_MRST 输入高 电平 (有施密特 输入特性)		0.8VDD	—	VDD	V	
I/O 端口 输入低电平	$V_{IL}$	VSS	—	0.18VDD	V	$3.0\text{V} \leq VDD \leq 5.5\text{V}$ (端口处于高阻状态)
主复位信号 N_MRST 输入低 电平		VSS	—	0.2VDD	V	
I/O 端口 输入漏电流	$I_{IL}$	—	—	$\pm 1$	$\mu\text{A}$	$3.0\text{V} \leq VDD \leq 5.5\text{V}$ (端口处于高阻状态)
主复位信号 N_MRST 输入漏 电流		—	—	5	$\mu\text{A}$	$VSS \leq V_{PIN} \leq VDD$
I/O 端口输入 弱上拉电流	$I_{WPU}$	30	70	110	$\mu\text{A}$	$3.0\text{V} \leq VDD \leq 5.5\text{V}$ $V_{PIN} = VSS$

## ◆ 芯片输出端口特性表

芯片工作温度范围: $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	$V_{\text{OH}}$	$V_{\text{DD}}-0.7$	—	—	V	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $I_{\text{OH}} = 3.0\text{mA}$
I/O 端口 输出低电平	$V_{\text{OL}}$	—	—	0.6	V	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ $I_{\text{OL}} = 8.5\text{mA}$

## ◆ 系统时钟特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	$F_{\text{osc}}$	—	—	16	MHz	$4.5\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
		—	—	8	MHz	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
系统时钟周期	$T_{\text{osc}}$	62.5	—	—	ns	$4.5\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
		125	—	—	ns	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
机器周期	$T_{\text{INST}}$	250	—	—	ns	$4.5\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
		500	—	—	ns	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$
外部时钟高电平 和低电平时间注	$T_{\text{OSL}},$ $T_{\text{OSH}}$	15	—	—	ns	—
外部时钟上升 和下降时间注	$T_{\text{OSR}},$ $T_{\text{OSF}}$	—	—	15	ns	—
WDT 溢出时间	$T_{\text{WDT}}$	15 (34K)	21 (24K)	27 (19K)	ms	不分频, $V_{\text{DD}}=5\text{V}$

## ◆ ADC 交流特性表

参数名	数值	单位
信号输入范围	$0 \sim V_{\text{DD}}$	V
非微分线性误差	$\pm 1$	LSB
微分线性误差	$\pm 1$	LSB
采样转换时间	$15^* T_{\text{ad}}$	-
偏移误差	$\pm 1$	LSB
推荐输入电阻	$< 10$	$\text{K}\Omega$
输入电容	40	pF

## ◆ AD 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*
Fosc/2	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 2us
Fosc/4	不推荐使用 1*	不推荐使用 1*	不推荐使用 1*	Tad = 4us
Fosc/8	不推荐使用 1*	不推荐使用 1*	Tad = 2us	Tad = 8us
Fosc/16	不推荐使用 1*	Tad = 2us	Tad = 4us	不推荐使用 2*
Fosc/32	Tad = 2us	Tad = 4us	Tad = 8us	不推荐使用 2*
Fosc/64	Tad = 4us	Tad = 8us	不推荐使用 2*	不推荐使用 2*
Frc	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us	Tad = 2~6us

注 1\*: Tad 值不满足设计要求不推荐使用;

注 2\*: 转换时间太慢, 推荐选择其它分频设置。

## ◆ 内部 8MHz 时钟校准特性表

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 8MHz	25°C, VDD = 5V	7.92	8	8.08	MHz
	-40°C ~ 85°C, VDD = 2.5V ~ 5.5V	6	8	9.5	MHz
3.3V, 25°C 将频率校准至 8MHz	25°C, VDD = 3.3V	7.92	8	8.08	MHz
	-40°C ~ 85°C, VDD = 2.5V ~ 5.5V	6.5	8	10	MHz

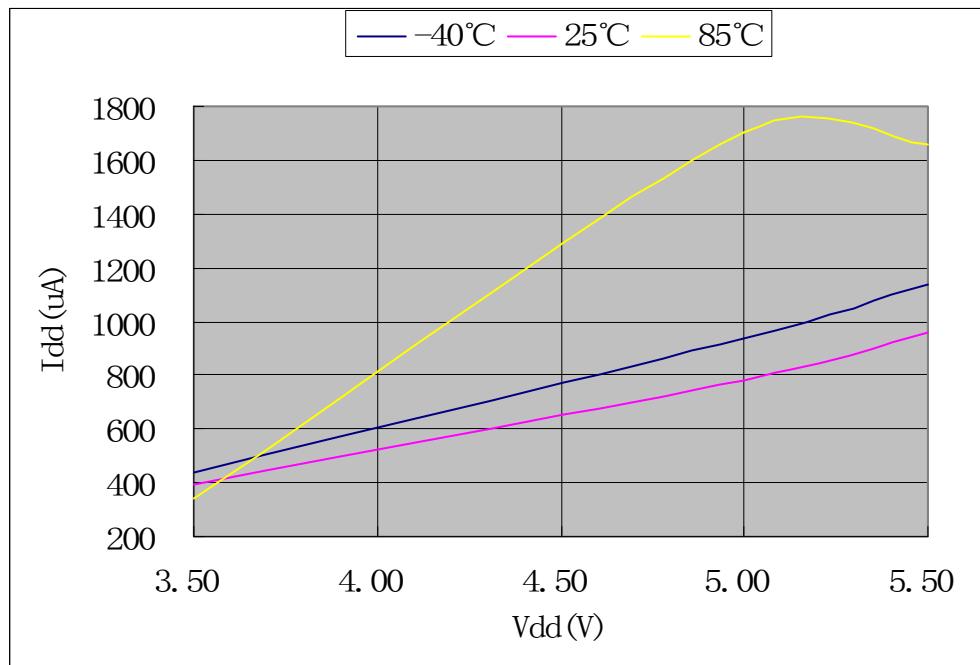
## ◆ 模拟比较器交流特性表

特性	最小值	典型值	最大值	单位
输入失调电压	-	±5	±10	mV
输入共模电压	0	-	VDD-1.5	V
响应时间	-	-	10	us

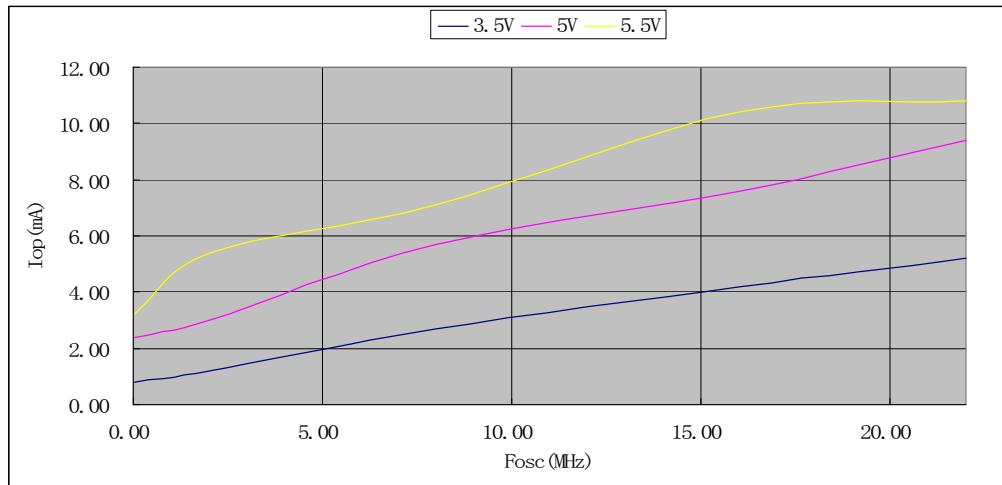
## 附录2.2 参数特性图

本节中所列图示未经过量产测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

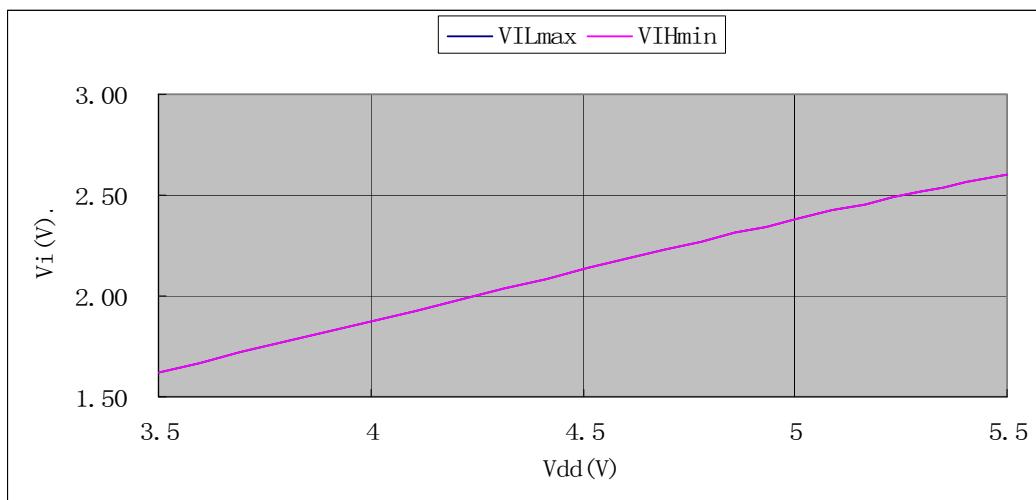
### ◆ 芯片静态电流随芯片电压变化特性图



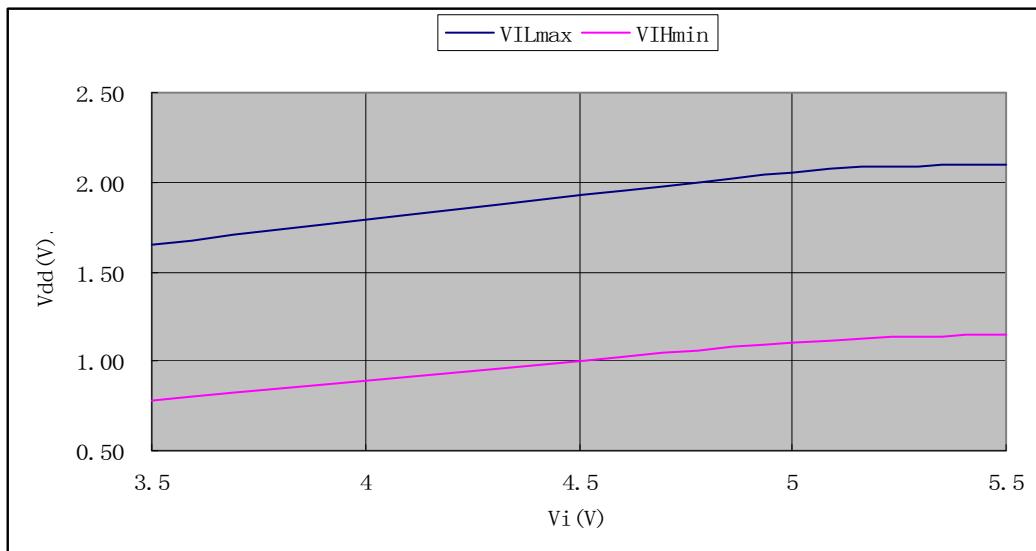
### ◆ 正常运行模式下芯片电流随时钟频率变化图（室温 $25^{\circ}C$ ）



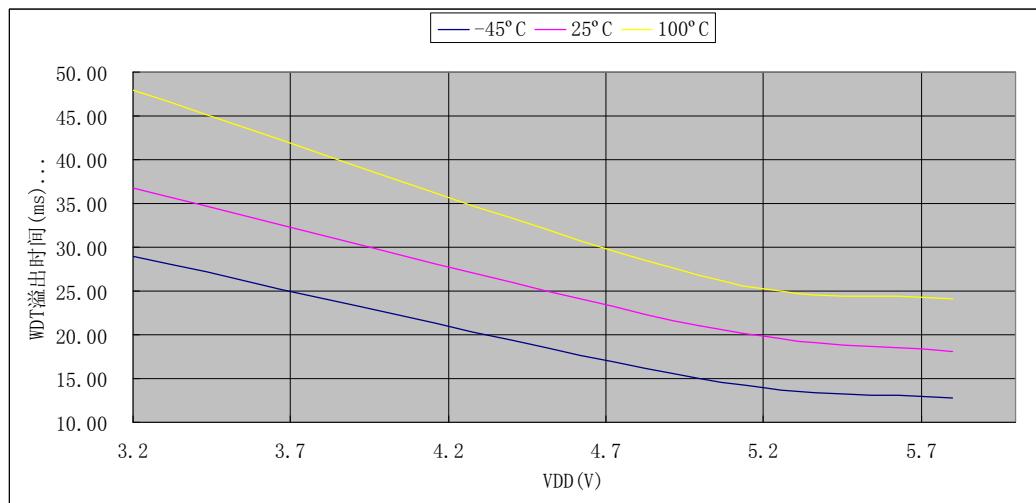
## ◆ 外部复位信号输入特性图 (室温 25°C)



## ◆ I/O 端口信号输入特性图 (室温 25°C)

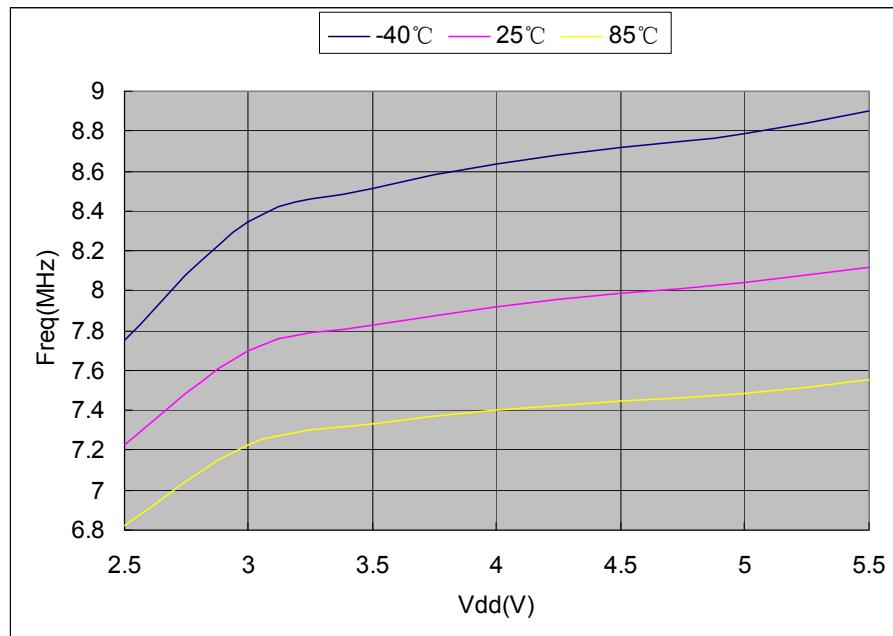


## ◆ WDT 溢出时间随电压温度变化曲线图

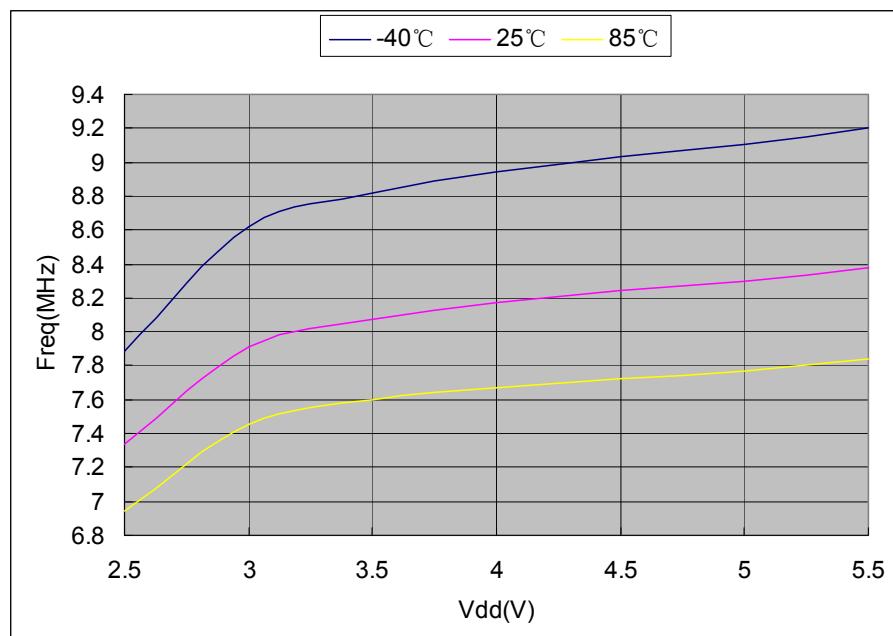


## ◆ 内部 8MHz 时钟频率随电压温度变化曲线图

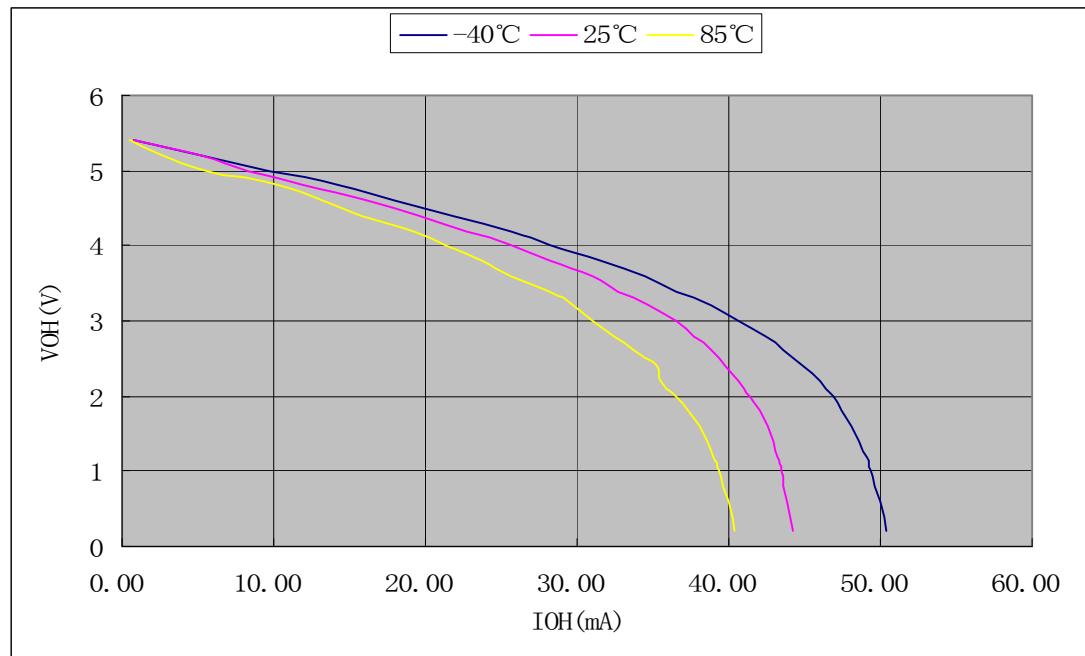
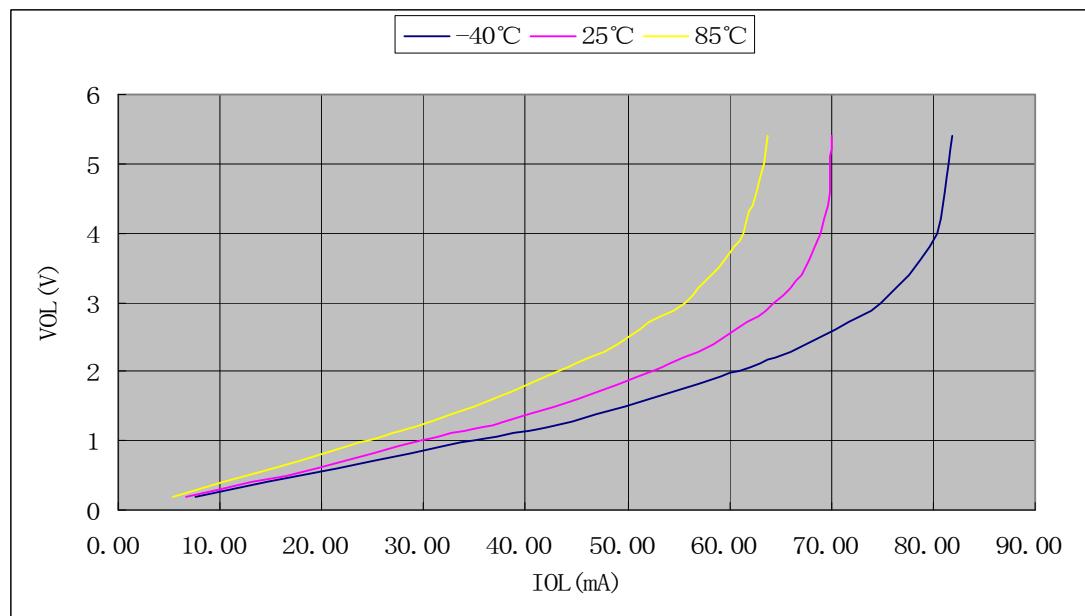
a. 5V, 25°C 将频率校准至 8MHz

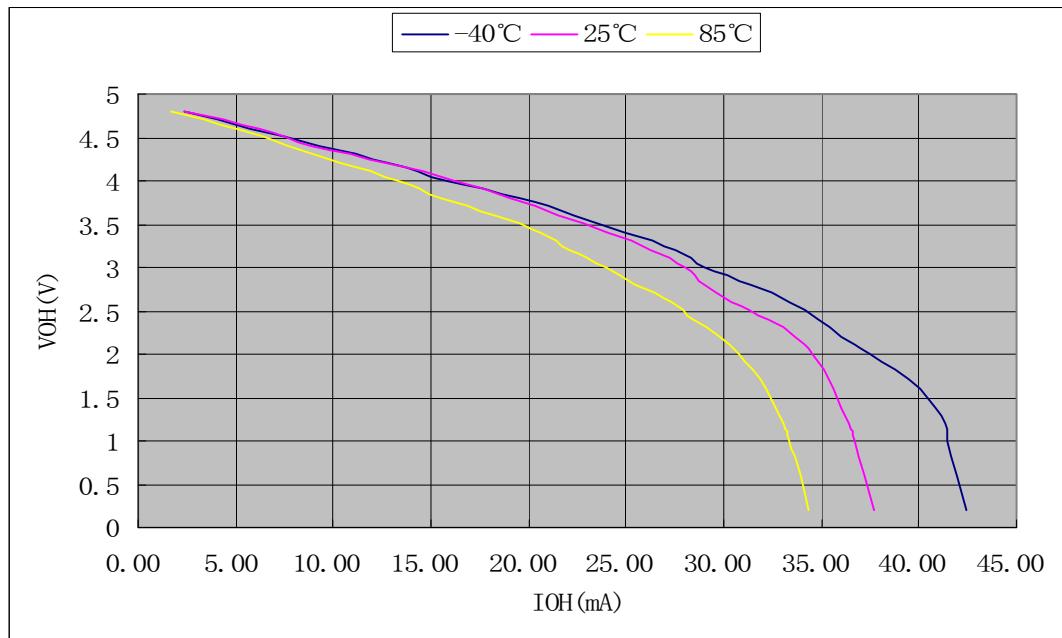
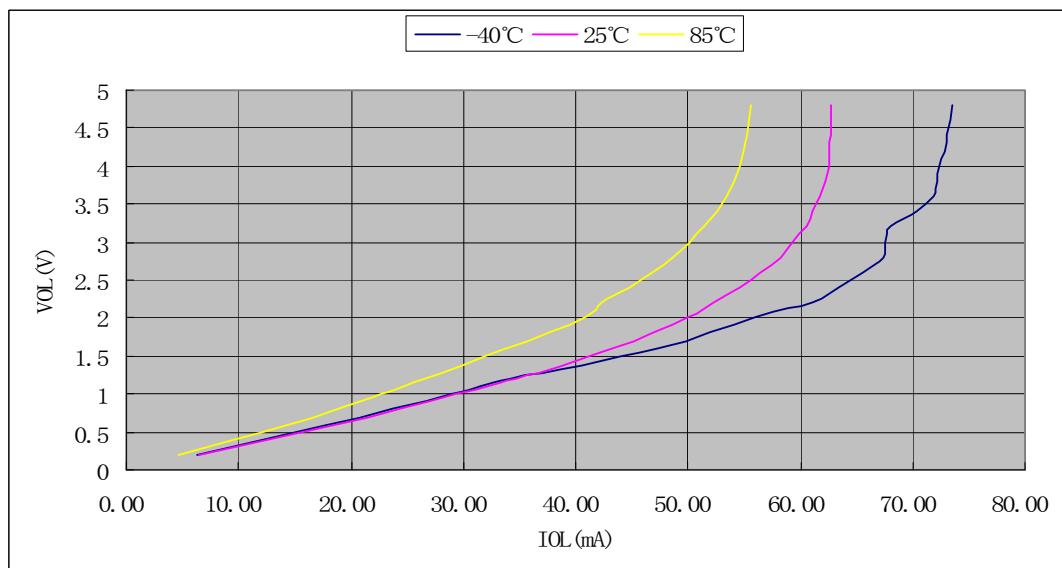


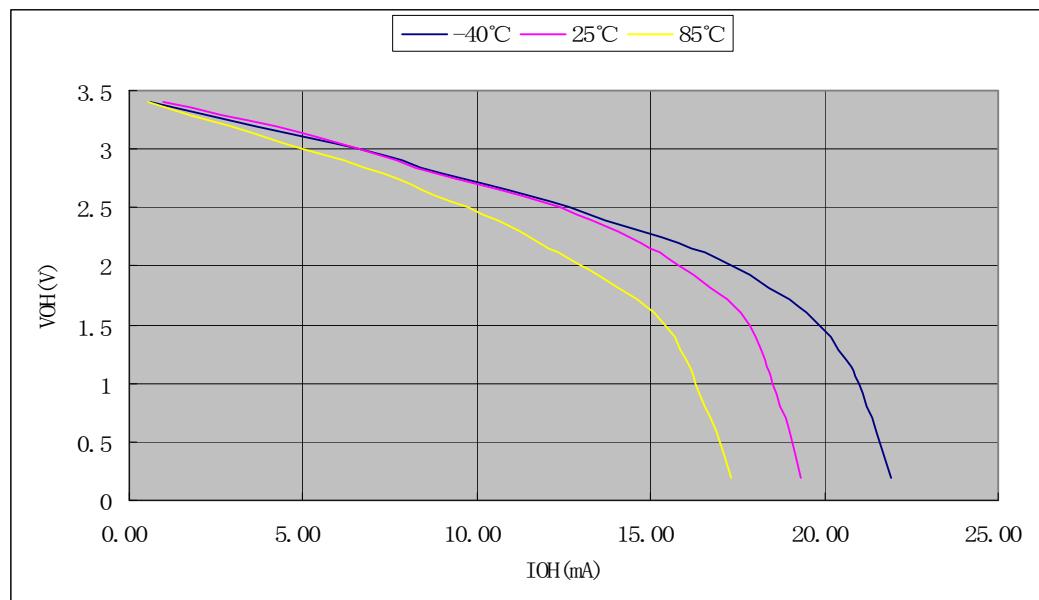
b. 3.3V, 25°C 将频率校准至 8MHz



## ◆ I/O 端口信号输出特性图

A:  $V_{OH}$  vs.  $I_{OH}$  @VDD = 5.5VB:  $V_{OL}$  vs.  $I_{OL}$  @VDD = 5.5V

C:  $V_{OH}$  vs.  $I_{OH}$  @VDD = 5.0VD:  $V_{OL}$  vs.  $I_{OL}$  @VDD = 5.0V

E:  $V_{OH}$  vs.  $I_{OH}$  @VDD = 3.5VF:  $V_{OL}$  vs.  $I_{OL}$  @VDD = 3.5V